

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2003-0048079  
Application Number

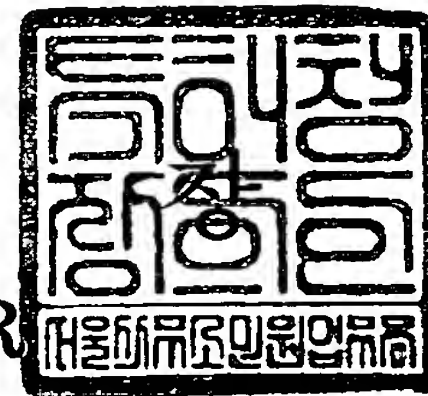
출원년월일 : 2003년 07월 14일  
Date of Application JUL 14, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      08      월      12      일

특      허      청  
COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【제출일자】** 2003.07.14  
**【발명의 명칭】** 리세스된 게이트 전극을 갖는 반도체 소자의 집적방법  
**【발명의 영문명칭】** INTEGRATION METHOD OF A SEMICONDUCTOR DEVICE HAVING A RECESSED GATE ELECTRODE  
**【출원인】**  
**【명칭】** 삼성전자 주식회사  
**【출원인코드】** 1-1998-104271-3  
**【대리인】**  
**【성명】** 박영우  
**【대리인코드】** 9-1998-000230-2  
**【포괄위임등록번호】** 1999-030203-7  
**【발명자】**  
**【성명의 국문표기】** 김지영  
**【성명의 영문표기】** KIM, Ji Young  
**【주민등록번호】** 700405-1636710  
**【우편번호】** 449-915  
**【주소】** 경기도 용인시 구성면 언남리 신일아파트 103동 1001호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 김형섭  
**【성명의 영문표기】** KIM, Hyoung Sub  
**【주민등록번호】** 660101-1720917  
**【우편번호】** 449-846  
**【주소】** 경기도 용인시 수지읍 풍덕천리 진산마을 삼성5차아파트 519동 1401 호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	17	면	17,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	27	항	973,000	원
【합계】	1,019,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

집적 회로 소자 및 이를 제조하기 위한 방법이 개시되어 있다. 본 발명의 일 실시예에 있어서, 리세스된 게이트를 갖는 트랜지스터와 플래너 게이트 전극을 갖는 트랜지스터와 같은 두 가지 형태의 트랜지스터들이 동일 기판 상에 형성된다. 본 발명의 다른 실시예에 있어서, 리세스된 게이트를 갖는 트랜지스터들이 동일 기판의 여러 영역에 형성된다. 부가적으로 하나 이상의 영역에서 트랜지스터들의 게이트들은 동시에 형성된다.

**【대표도】**

도 5a

**【명세서】****【발명의 명칭】**

리세스된 게이트 전극을 갖는 반도체 소자의 집적방법{INTEGRATION METHOD OF A SEMICONDUCTOR DEVICE HAVING A RECESSED GATE ELECTRODE}

**【도면의 간단한 설명】**

도 1은 종래의 리세스된 게이트를 갖는 MOSFET의 단면도이다.

도 2, 3, 4, 5a, 6a 및 7a는 본 발명의 일 실시예에 따른 리세스된 게이트 및 플래너 게이트 전극을 갖는 MOSFET의 형성방법을 나타낸 단면도들이다.

도 5b 및 6b는 도 5a 및 6a에 도시된 공정에 대한 대체 공정을 각각 설명하기 위한 단면도들이다.

도 7b는 도 7a에 도시된 공정에 대한 대체 공정을 설명하기 위한 단면도이다.

도 8 내지 12는 본 발명의 다른 실시예에 따른 리세스된 게이트 및 플래너 게이트 전극을 갖는 MOSFET의 형성방법을 나타낸 단면도이다.

도 13 내지 17은 본 발명의 또 다른 실시예에 따른 리세스된 게이트 및 플래너 게이트 전극을 갖는 MOSFET의 형성방법을 나타낸 단면도이다.

도 18 내지 22는 본 발명의 또 다른 실시예에 따른 반도체 기판의 셀 영역의 리세스된 게이트 트랜지스터 및 주변 영역의 리세스된 게이트를 갖는 MOSFET 형성방법을 나타낸 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <8>        본 발명은 반도체 메모리 소자의 집적 생산 방법에 관한 것으로, 보다 상세하게는 리세스된 게이트 및 플래너 게이트 전극을 갖는 DRAM 셀의 생산방법에 대한 것이다.
- <9>        ULSI(Ultra Large Scale Integrated) 회로와 같은 집적회로는 10억개 이상의 트랜지스터를 포함할 수 있다. 가장 일반적으로, ULSI 회로는 CMOS(Complementary Metal Oxide Semiconductor) 공정에 의해 형성된 FETs(Field Effect Transistors) 로 형성된다. 각각의 MOSFET는 반도체 기판의 채널 영역 상에 형성된 드레인 영역 및 소오스 영역 사이를 따라 신장된 게이트 전극을 포함한다. 소자의 밀도 및 집적 회로의 동작 속도를 향상시키기 위해서, 회로 내에 형성되는 트랜지스터의 사이즈는 축소되어야 한다. 그러나, 소자의 사이즈가 계속 감소하면서, 수 마이크로 크기의 MOS 트랜지스터를 형성하기 위해서는 해결해야할 수많은 기술적 어려움이 있다. MOS 트랜지스터가 좁아지면서, 즉, 상기 MOS 트랜지스터의 채널 길이가 감소하면서, 정션의 누설전류, 소오스/드레인 항복 전압(breakdown voltage) 및 데이터 유지(retention) 시간과 같은 문제점들이 더욱 대두되었다.
- <10>        ULSI 회로의 물리적 수치를 감소시킬 수 있는 하나의 방법은 리세스된 게이트 또는 반도체 기판에 형성된 그루브에 묻힌 게이트 전극을 포함하는 트렌치형의 트랜지스터를 형성하는 것이다. 상기 형태의 트랜지스터는 반도체 기판으로 확장된 게이트를 포함함으로써 유효 채널 길이(effective channel length)를 효과적으로 연장시킴으로써 단채널

효과(short channel effect)를 감소시킨다. 일반적인 트랜지스터 및 리세스된 게이트 트랜지스터를 포함하는 결합 ULSI(combined ULSI) 회로의 일부를 나타낸 예가 도 1에 도시되었다. 그러나, 리세스되지 않은 게이트 트랜지스터를 포함하는 ULSI 회로에 리세스된 게이트 트랜지스터를 효과적으로 형성하는 것은 어려운 일이다.

**【발명이 이루고자 하는 기술적 과제】**

<11> 따라서, 본 발명의 제1 목적은 리세스된 게이트 및 플래너 게이트 전극을 동시에 형성할 수 있는 반도체 메모리 소자의 형성방법을 제공하는 것이다.

<12> 본 발명의 제2 목적은 채널길이를 확보하여 소자의 특성이 향상된 반도체 메모리 소자를 제공하는 것이다.

**【발명의 구성 및 작용】**

<13> 상기 제1 목적을 달성하기 위한 본 발명의 일 실시예에 따른 메모리 소자 형성방법은, 셀 영역 및 상기 셀 영역과 분리된 주변 회로 영역을 포함하는 반도체 기판에서 메모리 소자를 형성하는 방법에 있어서, 상기 기판의 상기 셀 영역 내에 리세스 게이트홀들을 형성하는 단계; 상기 리세스된 게이트 홀들 및 상기 주변 영역 내에 게이트 산화막을 형성하는 단계; 상기 셀 영역 및 상기 주변 영역 내에 형성된 상기 게이트 산화막 상에 게이트층을 형성하는 단계; 및 상기 셀 영역 내에 리세스된 셀 게이트 구조물들 및 상기 주변 영역 내에 플래너 셀 게이트 구조물들을 형성하기 위해 상기 게이트층 및 상기 게이트 산화막을 동시에 패터닝하는 단계를 포함한다.

<14> 상기 제1 목적을 달성하기 위한 본 발명의 다른 실시예에 따르면, 메모리 소자 형성방법은, 셀 영역 및 상기 셀 영역과 분리된 주변 회로 영역을 포함하는 반도체 기판에

메모리 소자를 형성하는 방법에 있어서, 상기 기판의 셀 영역 및 주변 영역 내에 리세스 게이트 홀들을 형성하는 단계; 상기 리세스 게이트 홀들 내에 게이트 산화막을 형성하는 단계; 상기 셀 영역 및 주변 영역 내의 게이트 산화막 상에 게이트층을 형성하는 단계; 및 상기 셀 영역 및 주변 영역 내에 리세스된 셀 게이트 구조물들을 형성하기 위해 상기 게이트층 및 상기 게이트 산화막을 동시에 패터닝하는 단계를 포함한다.

<15>       상기 제1 목적을 달성하기 위하여 본 발명의 또 다른 실시예에 따른 메모리 소자 형성 방법은, 셀 영역 및 상기 셀 영역과 분리된 주변 회로 영역을 포함하는 반도체 기판에 메모리 소자를 형성하는 방법에 있어서, 상기 반도체 기판 상에 희생층을 형성하는 단계; 상기 셀 영역 상의 희생층 내에 일련의 제1 게이트 패턴들을 형성하는 단계; 상기 주변 영역 상의 희생층 내에 게이트 형성홀을 형성하는 단계; 상기 일련의 제1 게이트 패턴들을 이용하여 기판의 셀 영역 내에 리세스 게이트 홀들을 형성하는 단계; 상기 리세스된 게이트 홀들 및 상기 게이트 형성홀 내에 게이트 산화막을 형성하는 단계; 상기 셀 영역 및 주변 영역 내의 게이트 산화막 상에 게이트층을 형성하는 단계; 및 상기 주변 영역의 셀 게이트 구조물들 및 상기 셀 영역의 리세스된 셀 게이트 구조물들을 형성하기 위해 상기 희생층을 제거하는 단계를 포함한다.

<16>       상기 제2 목적을 달성하기 위한 본 발명의 또 다른 실시예에 따른 메모리 소자는, 메모리셀 영역 및 주변 회로 영역으로 나누어진 기판; 상기 메모리셀 영역 내에 형성된 리세스된 게이트들을 포함하는 복수개의 메모리셀들; 및 상기 주변 회로 영역 내에 존재하며, 소오스 영역 및 드레인 영역 사이에 형성된 채널 영역, 상기 채널 영역 상에 배치된 게이트 구조물 및 상기 소오스 및 드레인 영역들 상에 형성된 저항감소층을 포함하는 적어도 하나의 트랜지스터를 구비한다.



<17> 더욱, 상세하게 상기 제1 목적을 달성하기 위하여 본 발명은, 메모리셀 영역 및 주변 영역을 포함하는 기판 상에 메모리 소자를 형성하는 방법에 있어서, 상기 메모리셀 영역 내의 복수개의 메모리셀들 및 상기 주변 영역 내의 복수개의 트랜지스터들의 범위를 한정하는 고립 구조물들을 성장시키는 단계; 상기 메모리셀 영역 및 주변 영역을 포함하는 상기 기판 상에 패드 산화막을 형성하는 단계; 상기 패드 산화막 상에 식각 저지층을 형성하는 단계; 상기 패드 산화막 상에 보호 산화막을 형성하는 단계; 상기 보호 산화막 상에 포토레지스트층을 도포하는 단계; 상기 메모리셀 영역 내의 포토레지스트층에 리세스 마스크를 형성하는 단계; 복수개의 리세스된 게이트 홀들을 형성하기 위해 상기 리세스 마스크를 이용하여 상기 메모리셀 영역 내의 기판을 식각하는 단계; 상기 보호 산화막, 패드 산화막 및 식각 저지층을 제거하는 단계; 상기 메모리셀 영역의 복수개의 리세스된 게이트 홀들의 내면을 포함하는 상기 메모리셀 영역 및 상기 주변 영역 상에 게이트 산화막을 형성하는 단계; 복수개의 리세스된 게이트 홀들을 포함하는 상기 게이트 산화막 상에 게이트층을 형성하는 단계; 및 상기 복수개의 메모리셀들을 위한 리세스된 게이트들 및 상기 주변 영역 내의 복수개의 트랜지스터들을 위한 플래너 게이트들을 동시에 형성하는 단계를 포함하는 메모리 소자 형성방법을 제공한다.

<18> 또한, 상기 제2 목적을 달성하기 위하여 본 발명의 또 다른 실시예에 따른 메모리 소자는, 셀 영역 및 주변 영역으로 나누어진 기판; 셀 영역 내에 형성되고, 각각 리세스된 게이트 구조물을 갖는 복수개의 메모리 셀들; 및 상기 주변 영역 내에 존재하고, 각각 리세스된 게이트 구조물을 갖는 복수개의 트랜지스터를 포함한다.

<19> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.

- <20> 본 발명의 실시예들은 유효 채널 길이(effective channel length)를 증가시키고, 채널 도즈량을 감소시키며, 정션 누설전류 특성 및 하나의 기판 상에 적어도 두 종류의 트랜지스터를 포함하는 메모리 회로의 데이터 유지 시간을 향상시킨다. 이때, 상기 트랜지스터는 리세스된 게이트를 갖는 트랜지스터 및 플래너 게이트 전극을 갖는 트랜지스터이다.
- <21> 본 발명의 일 실시예의 반도체 소자의 제조방법은 도 2 내지 7에 도시되어 있다.
- <22> 도 2를 참조하면, 본 발명의 실시예들에 따른 반도체 소자는 메모리셀 어레이부(memory cell array section)(A) 및 주변 회로부(peripheral circuit section)(B)를 포함한다. 상기 메모리셀 어레이부는 도면의 왼쪽에 도시되어 있고, 주변 회로부는 오른쪽에 도시되어 있다.
- <23> 고립 영역(isolation region)(15)이 실리콘 기판(10)에 형성되어 있다. 상기 고립 영역(15) 및 상기 메모리셀 어레이부의 액티브 영역(active region)에 걸쳐 얇은 패드산화막(18)이 형성된다. 상기 패드 산화막(18) 상에 식각 저지층(20)이 형성된다. 상기 식각 저지층(20)은 실리콘 나이트라이드와 같은 질화물로 이루어지는 것이 바람직하며, 두께는 약 100 내지 200 Å으로 형성하는 것이 바람직하다. 상기 식각 저지층(20) 상에 제1 산화막(25)이 형성된다.
- <24> 일반적인 사진 식각 공정에 의해, 포토레지스트층(30)에 상기 메모리셀의 리세스된 게이트를 형성하기 위한 리세스 마스크를 형성한다.
- <25> 도 3을 참조하면, 상기 제1 산화막(25), 상기 패드 산화막(18) 및 식각 저지층(20)을 식각함으로써 상기 기판(10)의 메모리셀 영역에 리세스 게이트 홀(28)이 형성된다.

이때, 상기 기판(10)의 주변 영역의 상기 제1 산화막(25), 패드 산화막(18) 및 식각 저지층은 모두 제거된다.

<26> 도 4를 참조하면, 상기 실리콘 기판(10) 및 리세스 홀(28) 내에 게이트 산화막(35)이 형성된다. 상기 게이트 산화막(35) 상에 게이트 전극층이 형성된다. 상기 게이트 전극층은 하부 게이트 전극 폴리 층(40) 및 텅스텐 실리사이드와 같은 상부 게이트 전극층(45)을 포함하는 복층 구조로 형성된다. 이어서, 상기 상부 게이트 전극층(45) 상에 게이트 마스크층(50)이 형성된다.

<27> 도 5a를 참조하면, 상기 게이트 전극은 상기 게이트 마스크층(50), 상기 상부 게이트 전극(45) 및 상기 게이트 산화막(35)에 대해 일반적인 사진 식각 공정을 차례로 진행하여 완성된다.

<28> 도 6a를 참조하면, 증착된 절연층이 에치백되어 스페이서(60)를 형성한다.

<29> 도 7a를 참조하면, 상기 주변 회로부 상에 코발트 실리사이드층(70)이 형성된다. 상기 코발트 실리사이드층(70)은 상기 주변 영역의 면저항(sheet resistance)을 감소시킨다.

<30> 본 발명의 실시예들에 따른 메모리 회로를 형성하기 위한 다른 방법들이 도 5b, 6b 및 7b에 도시되어 있다.

<31> 도 5b 및 6b를 참조하면, 셀 영역의 게이트 적층물(gate stack) 하부 영역으로부터 제1 산화막(25) 및 게이트 산화막(35)은 제거된다. 게이트 적층물 스페이서들(60)은 상기 게이트 적층물 주위에 형성된다. 도 6b는 제거된 산화막(25), 식각 저지층(20) 및 패드 산화막(18)을 제외하고 도 6a와 유사하다.

- <32> 도 7b는 상기 산화막(25), 식각 저지층(20) 및 패드 산화막(18)을 식각하기 전에 스페이서(60)를 형성한 또 다른 실시예를 보여준다.
- <33> 반도체 메모리 소자를 형성하는 다른 실시예가 도 8 내지 12에 도시되어 있다.
- <34> 도 8을 참조하면, 본 발명의 실시예들에 따른 반도체 소자는 메모리셀 어레이부(A) 및 주변 회로부(B)를 포함한다. 실리콘 기판(10) 상에 고립 영역(15)을 형성한다. 얇은 패드 산화막(18)이 상기 고립 영역(15), 메모리 셀 어레이부 및 주변 회로부의 액티브 영역에 걸쳐 형성된다. 식각 저지층(20)이 상기 패드 산화막(18) 상에 형성된다. 상기 식각 저지층(20)은 약 100 내지 200Å의 두께를 갖는 실리콘 나이트라이드와 같은 질화물로 이루어지는 것이 바람직하다. 상기 식각 저지층(20) 상에 제1 산화막(25)을 형성한다.
- <35> 일반적인 사진 식각 공정에 의해, 포토레지스트층(30)에 상기 메모리셀의 리세스된 게이트를 형성하기 위한 리세스 마스크를 형성한다.
- <36> 도 9를 참조하면, 상기 제1 산화막(25), 식각 저지층(20) 및 패드 산화막(18)을 습식 식각함으로써 상기 기판(10)의 메모리셀 영역 내에 리세스 게이트홀(28)을 형성한다.
- <37> 도 10을 참조하면, 상기 실리콘 기판(10) 및 상기 리세스홀(28)들 내에 게이트 산화막(35)을 형성한다. 게이트 전극층은 하부 게이트 전극 폴리층(40) 및 상부 게이트 전극인 텅스텐 실리사이드층(45)을 포함하는 복층 구조로 상기 게이트 산화막(35) 상에 형성된다. 상기 텅스텐 실리사이드층(45) 상에 게이트 마스크층(50)을 형성한다. 도 4와 비교할 때, 도 10은 하부 게이트 전극층(40), 상부 게이트 전극인 텅스텐 실리사이드층

(45) 및 게이트 마스크층(50)이 상기 반도체 기판(10)의 주변 영역 및 셀 영역 사이에서 모두 동일 선상에 위치하는 것으로 도시된다.

<38> 도 11을 참조하면, 일반적인 사진 식각 공정에 의해 게이트 전극이 형성된다. 이어서 도 12에 도시된 바와 같이, 반도체 기판(10)의 셀 영역 및 주변 영역의 게이트 구조물들을 덮는 스페이서(60)를 형성한다.

<39> 반도체 메모리 소자를 형성하는 다른 실시예가 도 13 내지 17에 도시되어 있다.

<40> 도 13을 참조하면, 본 발명의 실시예들에 따른 반도체 소자는 메모리셀 어레이부(A) 및 주변 회로부(B)를 포함한다. 실리콘 기판(10) 상에 고립 영역(15)이 형성된다. 상기 고립 영역(15), 메모리셀 어레이부 및 주변 회로부 상에 얇은 패드 산화막(18)이 형성된다. 상기 패드 산화막(18) 상에 식각 저지층(20)이 형성된다. 상기 식각 저지층(20)은 약 100 내지 200Å의 두께를 갖으며, 실리콘 나이트라이드와 같은 질화물로 이루어지는 것이 바람직하다. 상기 식각 저지층(20) 상에 제1 산화막(25)이 형성된다. 상기 제1 산화막(25)은 도 2 내지 8에 도시된 것보다 두껍게 형성되고, 상기 기판(10)의 주변 영역의 게이트 적층물의 높이와 거의 같도록 형성된다. 일 실시예에서, 상기 제1 산화막(25)은 약 5000Å의 높이로 형성된다.

<41> 도 13 및 14를 참조하면, 상기 제1 산화막(25) 상에 포토레지스트층(30)을 형성한다. 이어서, 일반적인 사진 식각 공정에 의해, 포토레지스트층(30)에 상기 메모리 셀들의 리세스된 게이트들 및 플래너 게이트 홀(29)을 형성하기 위한 리세스 마스크를 형성한다.

- <42>        그 후, 상기 제1 산화막(25), 식각 저지층(20) 및 패드 산화막(18)을 식각하고, 상기 실리콘 기판(10)까지 식각하여 리세스 게이트 홀(28)을 형성한다. 부가적으로, 식각 공정에 의해 상기 기판(10)의 주변 영역 상의 제1 산화막(25)에 플래너 게이트홀(29)을 형성한다.
- <43>        상기 기판(10)의 주변 부분 상의 제1 산화막(25)은 상기 기판(10)의 셀 영역 부분 상의 제1 산화막(25) 보다 두껍게 형성된다.
- <44>        도 15 및 16을 참조하면, 상기 기판(10)의 리세스 게이트 홀(28)과 플래너 게이트 홀(29) 내측 및 상기 기판(10) 상에 산화공정에 의해 게이트 산화막(35)이 형성된다. 복층구조를 갖는 게이트 전극 적층물이 상기 게이트 산화막(35) 상에 형성된다. 상기 게이트 전극 적층물은 하부 게이트 전극 폴리층(40) 및 상부 게이트 전극인 텅스텐 실리사이드층(45)으로 이루어진다.
- <45>        상기 리세스 홀(28) 및 플래너 홀(29) 내의 상기 텅스텐 실리사이드층 상에 게이트층 마스크(50)를 형성한다. 상기 게이트층 마스크에 의해 노출된 영역의 상기 제1 산화막(25)은 예컨대, 습식 식각 공정과 같은 공정에 의해 제거된다.
- <46>        도 17을 참조하면, 상기 반도체 기판의 셀 영역 및 주변 영역의 게이트 적층물들 상에 스페이서(60)가 형성된다.
- <47>        반도체 메모리 소자를 형성하기 위한 또 다른 방법이 도 18 내지 22에 도시되어 있다.
- <48>        도 18을 참조하면, 본 발명의 실시예들에 따른 반도체 소자는 메모리셀 어레이부(A) 및 주변 회로부(B)를 포함한다. 실리콘 기판(10) 상에 고립 영역(15)이 형성된다.

상기 고립 영역(15) 및 메모리셀 어레이부의 액티브 영역에 걸쳐 얇은 패드 산화막(18)이 형성된다. 상기 패드 산화막(18) 상에 식각 저지층(20)이 형성된다. 상기 식각 저지층(20)은 약 100 내지 200 Å의 두께를 갖으며, 실리콘 나이트라이드와 같은 질화물로 이루어지는 것이 바람직하다.

<49>       상기 식각 저지층(20) 상에 제1 산화막(25)을 형성한다. 이어서, 일반적인 사진 식각 공정에 의해 리세스 마스크(30)를 형성한다.

<50>       도 19를 참조하면, 식각 공정에 의해 상기 기판(10)의 메모리셀 영역 및 주변 영역에 리세스 게이트 홀들(28)이 형성된다.

<51>       도 20을 참조하면, 게이트 산화막(35)이 상기 리세스 홀(28) 내에 형성된다. 예컨대, 상기 게이트 산화막(35)은 산화공정에 의해 형성될 수 있다.

<52>       상기 게이트 산화막(35) 상에 게이트 전극이 형성된다. 상기 게이트 전극은 하부 게이트 전극 폴리(40) 및 상부 게이트 전극인 텅스텐 실리사이드(45)로 이루어진 복층 구조이다. 일 실시예에서, 상기 하부 게이트 전극 폴리(40)는 상기 기판의 셀 영역 및 주변 영역의 리세스된 게이트 홀들 내부까지 확장된다. 상기 텅스텐 실리사이드층 상에 게이트 마스크층(50)이 형성된다.

<53>       도 21을 참조하면, 일반적인 사진 식각 공정에 의해 상기 셀 영역 및 주변 영역 내에 일련의 게이트들이 형성된다.

<54>       도 22를 참조하면, 에치백과 같은 공정에 의해 스페이서(60)가 형성된다.

<55>       이와 같이, 본 발명의 실시예들에 있어서, 리세스된 게이트 셀 및 플래너 게이트 전극은 동시에 동일한 사진 공정 단계에서 형성된다. 따라서, 사진 공정 단계를 증가시

키지 않고도 향상된 특성을 갖는 메모리 회로를 제조할 수 있는 제조 공정을 제공할 수 있다.

**【발명의 효과】**

- <56> 상술한 바와 같이 본 발명에 의하면, 하나의 사진 공정 단계에서 리세스된 게이트 및 플래너 게이트 전극을 동시에 형성하여 메모리 소자를 제공한다.
- <57> 이와 같이, 동일 단계에서 서로 다른 영역에 존재하는 형태가 다른 게이트 전극을 동시에 형성함으로써, 공정의 단계를 절감시키면서도 우수한 특성을 갖는 메모리 소자를 제공할 수 있다. 따라서, 공정의 효율을 향상시킬 수 있다.
- <58> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.



**【특허청구범위】****【청구항 1】**

셀 영역 및 상기 셀 영역과 분리된 주변 회로 영역을 포함하는 반도체 기판에서 메모리 소자를 형성하는 방법에 있어서,

상기 기판의 상기 셀 영역 내에 리세스 게이트홀들을 형성하는 단계;

상기 리세스된 게이트 홀들 및 상기 주변 영역 내에 게이트 산화막을 형성하는 단계;

상기 셀 영역 및 상기 주변 영역 내에 형성된 상기 게이트 산화막 상에 게이트층을 형성하는 단계; 및

상기 셀 영역 내에 리세스된 셀 게이트 구조물들 및 상기 주변 영역 내에 플래너 셀 게이트 구조물들을 형성하기 위해 상기 게이트층 및 상기 게이트 산화막을 동시에 패터닝하는 단계를 포함하는 메모리 소자 형성방법.

**【청구항 2】**

제1항에 있어서, 상기 셀 영역 내의 상기 셀 게이트 구조물들 및 상기 주변 영역의 상기 플래너 셀 게이트 구조물들 상에 동시에 스페이서 구조물들을 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

**【청구항 3】**

제1항에 있어서, 상기 리세스 게이트 홀들을 형성하는 단계 전에,

상기 기판의 셀 영역 및 주변 영역 내에 패드 산화막, 식각 저지층 및 보호 산화막을 순차적으로 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

**【청구항 4】**

제3항에 있어서, 상기 보호 산화막, 식각 저지층 및 패드 산화막을 식각하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

**【청구항 5】**

제4항에 있어서, 상기 셀 영역 내의 셀 게이트 구조물들 및 상기 주변 영역 내의 플래너 셀 게이트 구조물들 상에 스페이서 구조물들을 형성하는 단계를 더 구비하되,

상기 식각 단계는 상기 스페이서 구조물들을 형성하는 단계 이후에 수행되는 것을 특징으로 하는 메모리 소자 형성방법.

**【청구항 6】**

제1항에 있어서, 상기 기판의 주변 영역 내에 코발트 실리사이드막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

**【청구항 7】**

셀 영역 및 상기 셀 영역과 분리된 주변 회로 영역을 포함하는 반도체 기판에 메모리 소자를 형성하는 방법에 있어서,

상기 기판의 셀 영역 및 주변 영역 내에 리세스 게이트 홀들을 형성하는 단계;

상기 리세스 게이트 홀들 내에 게이트 산화막을 형성하는 단계;

상기 셀 영역 및 주변 영역 내의 게이트 산화막 상에 게이트층을 형성하는 단계;

및

상기 셀 영역 및 주변 영역 내에 리세스된 셀 게이트 구조물들을 형성하기 위해 상기 게이트층 및 상기 게이트 산화막을 동시에 패터닝하는 단계를 포함하는 메모리 소자 형성방법.

【청구항 8】

제7항에 있어서, 상기 셀 영역 및 주변 영역 내의 상기 셀 게이트 구조물들 상에 동시에 스페이서 구조물들을 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

【청구항 9】

제7항에 있어서, 상기 리세스 게이트 홀들을 형성하는 단계 전에,

상기 기판의 셀 영역 및 주변 영역 내에 패드 산화막, 식각 저지층 및 보호 산화막을 순차적으로 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

【청구항 10】

제9항에 있어서, 상기 보호 산화막, 식각 저지층 및 패드 산화막을 식각하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

【청구항 11】

제10항에 있어서, 상기 셀 영역 및 상기 주변 영역 내의 셀 게이트 구조물들 상에 스페이서 구조물들을 형성하는 단계를 더 구비하되,

상기 식각 단계는 상기 스페이서 구조물들을 형성하는 단계 이후에 수행되는 것을 특징으로 하는 메모리 소자 형성방법.

## 【청구항 12】

셀 영역 및 상기 셀 영역과 분리된 주변 회로 영역을 포함하는 반도체 기판에 메모리 소자를 형성하는 방법에 있어서,

상기 반도체 기판 상에 희생층을 형성하는 단계;

상기 셀 영역 상의 희생층 내에 일련의 제1 게이트 패턴들을 형성하는 단계;

상기 주변 영역 상의 희생층 내에 게이트 형성홀을 형성하는 단계;

상기 일련의 제1 게이트 패턴들을 이용하여 기판의 셀 영역 내에 리세스 게이트 홀들을 형성하는 단계;

상기 리세스된 게이트 홀들 및 상기 게이트 형성홀 내에 게이트 산화막을 형성하는 단계;

상기 셀 영역 및 주변 영역 내의 게이트 산화막 상에 게이트층을 형성하는 단계;  
및

상기 주변 영역의 셀 게이트 구조물들 및 상기 셀 영역의 리세스된 셀 게이트 구조물들을 형성하기 위해 상기 희생층을 제거하는 단계를 포함하는 메모리 소자 형성방법.

## 【청구항 13】

제12항에 있어서, 상기 셀 영역의 리세스된 셀 게이트 구조물들 및 주변 영역 내의 상기 셀 게이트 구조물들 상에 동시에 스페이서 구조물들을 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

## 【청구항 14】

메모리셀 영역 및 주변 회로 영역으로 나누어진 기판;

상기 메모리셀 영역 내에 형성된 리세스된 게이트들을 포함하는 복수개의 메모리 셀들; 및

상기 주변 회로 영역 내에 존재하며, 소오스 영역 및 드레인 영역 사이에 형성된 채널 영역, 상기 채널 영역 상에 배치된 게이트 구조물 및 상기 소오스 및 드레인 영역 들 상에 형성된 저항감소층을 포함하는 적어도 하나의 트랜지스터를 구비하는 것을 특징 으로 하는 메모리 소자.

【청구항 15】

제14항에 있어서, 상기 저항감소층은 코발트를 포함하는 것을 특징으로 하는 메모 리 소자.

【청구항 16】

제15항에 있어서, 상기 저항감소층은 코발트-실리콘 물질을 포함하는 것을 특징으 로 하는 메모리 소자.

【청구항 17】

제14항에 있어서, 상기 소오스/드레인 영역들 및 저항감소층 사이에 노출된 에피 성장 실리콘 구조물을 더 구비하는 것을 특징으로 하는 메모리 소자.

【청구항 18】

제17항에 있어서, 상기 에피 성장 실리콘 구조물은 선택적인 에피 성장(selective epitaxial growing; SEG) 방식에 의해 형성되는 것을 특징으로 하는 메모리 소자.

## 【청구항 19】

메모리셀 영역 및 주변 영역을 포함하는 기판 상에 메모리 소자를 형성하는 방법에 있어서,

상기 메모리셀 영역 내의 복수개의 메모리셀들 및 상기 주변 영역 내의 복수개의 트랜지스터들의 범위를 한정하는 고립 구조물들을 성장시키는 단계;

상기 메모리셀 영역 및 주변 영역을 포함하는 상기 기판 상에 패드 산화막을 형성하는 단계;

상기 패드 산화막 상에 식각 저지층을 형성하는 단계;

상기 패드 산화막 상에 보호 산화막을 형성하는 단계;

상기 보호 산화막 상에 포토레지스트층을 도포하는 단계;

상기 메모리셀 영역 내의 포토레지스트층에 리세스 마스크를 형성하는 단계;

복수개의 리세스된 게이트 홀들을 형성하기 위해 상기 리세스 마스크를 이용하여 상기 메모리셀 영역 내의 기판을 식각하는 단계;

상기 보호 산화막, 패드 산화막 및 식각 저지층을 제거하는 단계;

상기 메모리셀 영역의 복수개의 리세스된 게이트 홀들의 내면을 포함하는 상기 메모리셀 영역 및 상기 주변 영역 상에 게이트 산화막을 형성하는 단계;

복수개의 리세스된 게이트 홀들을 포함하는 상기 게이트 산화막 상에 게이트층을 형성하는 단계; 및

상기 복수개의 메모리셀들을 위한 리세스된 게이트들 및 상기 주변 영역 내의 복수개의 트랜지스터들을 위한 플래너 게이트들을 동시에 형성하는 단계를 포함하는 메모리 소자 형성방법.

【청구항 20】

제19항에 있어서, 상기 메모리 셀 영역 내의 기판 고립 영역에 이온 주입하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

【청구항 21】

제19항에 있어서, 상기 복수개의 메모리 셀들 내에 문턱(threshold) 이온 주입하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

【청구항 22】

제19항에 있어서, 상기 복수개의 메모리 셀들 내에 소오스/드레인 이온 주입하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

【청구항 23】

제19항에 있어서, 상기 복수개의 메모리 셀들 및 상기 주변 영역의 복수개의 트랜지스터 상에 동시에 스페이서들을 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

【청구항 24】

제23항에 있어서, 상기 복수개의 메모리 셀들 상에 스페이서들을 형성한 후에, 상기 주변 영역의 트랜지스터 상에 코발트 실리콘층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

**【청구항 25】**

제23항에 있어서, 상기 코발트 실리콘층을 형성하는 단계는,

상기 셀 영역 상에 도포층을 유지(maintaining)하는 단계;

상기 주변 영역의 복수개의 트랜지스터 상에 에피 구조물을 선택적으로 성장시키는 단계; 및

상기 에피 구조물 상에 상기 코발트 실리콘층을 형성하는 단계를 더 구비하는 것을 특징으로 하는 메모리 소자 형성방법.

**【청구항 26】**

셀 영역 및 주변 영역으로 나누어진 기판;

셀 영역 내에 형성되고, 각각 리세스된 게이트 구조물을 갖는 복수개의 메모리 셀들; 및

상기 주변 영역 내에 존재하고, 각각 리세스된 게이트 구조물을 갖는 복수개의 트랜지스터를 포함하는 메모리 소자.

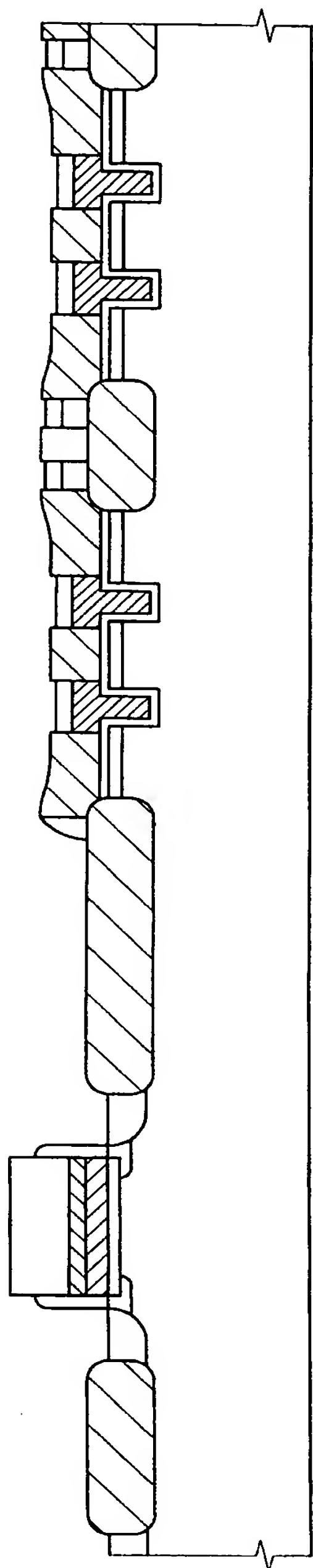
**【청구항 27】**

제26항에 있어서, 상기 셀 영역 내의 메모리 셀들의 게이트들 및 상기 주변 영역 내의 셀들의 게이트들은 동시에 형성되는 것을 특징으로 하는 메모리 소자.

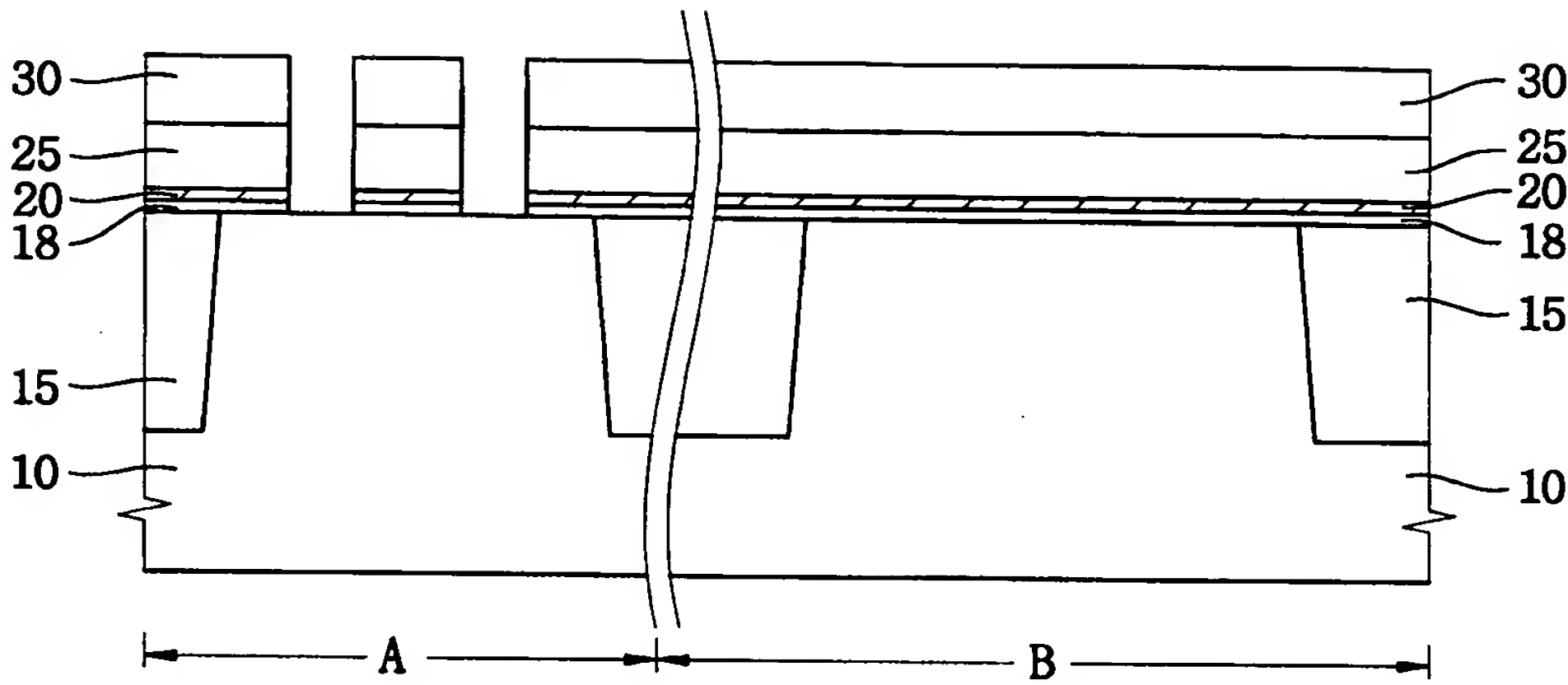


【도면】

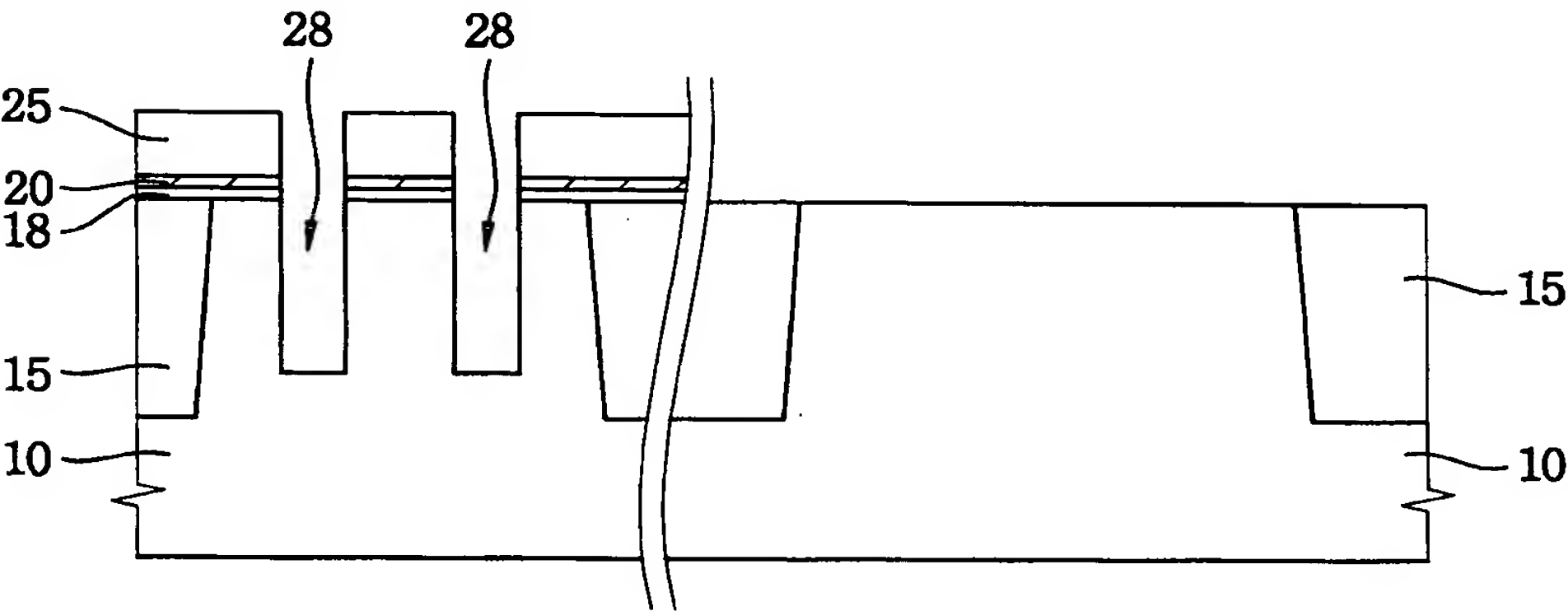
【도 1】



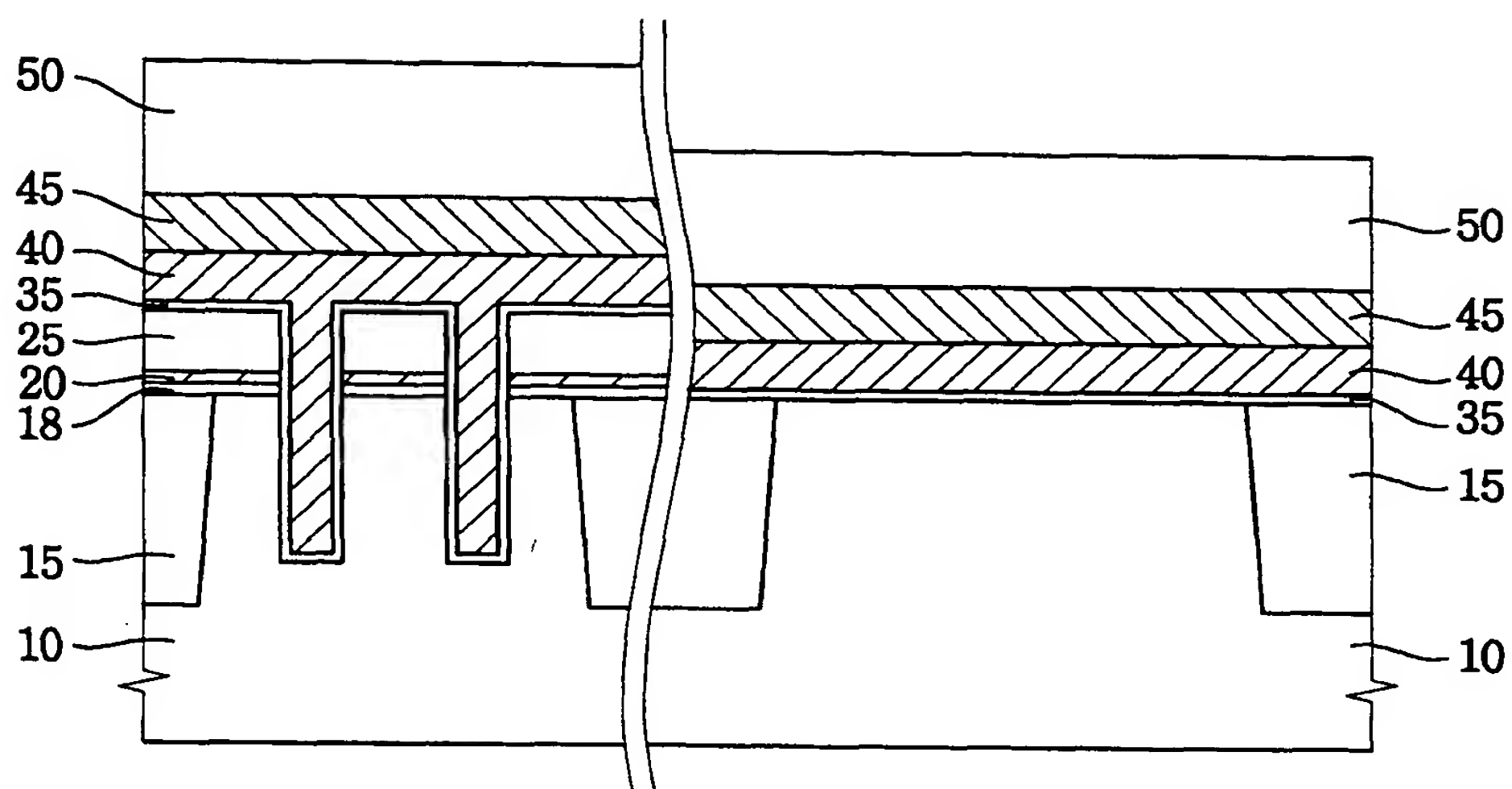
【도 2】



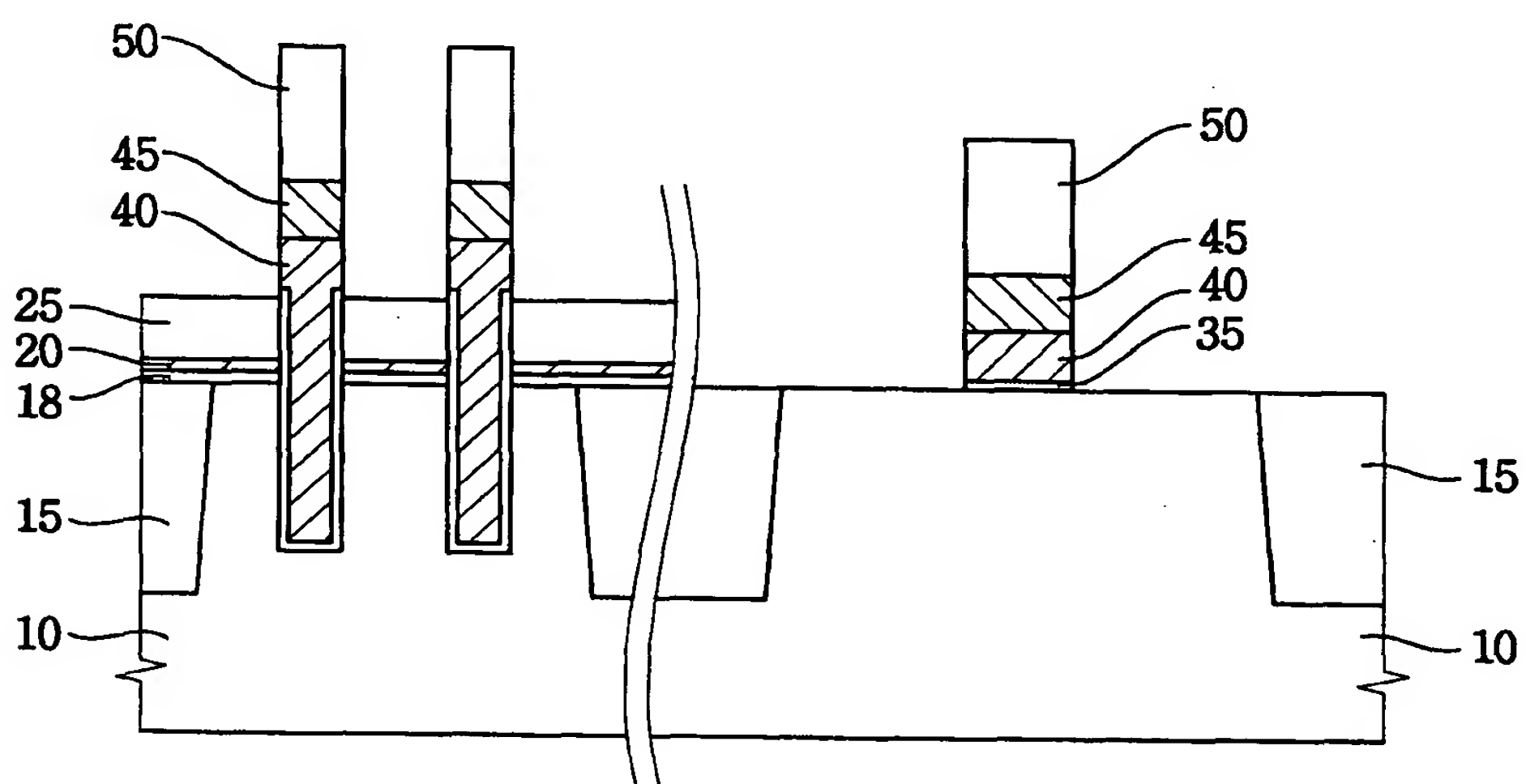
【도 3】



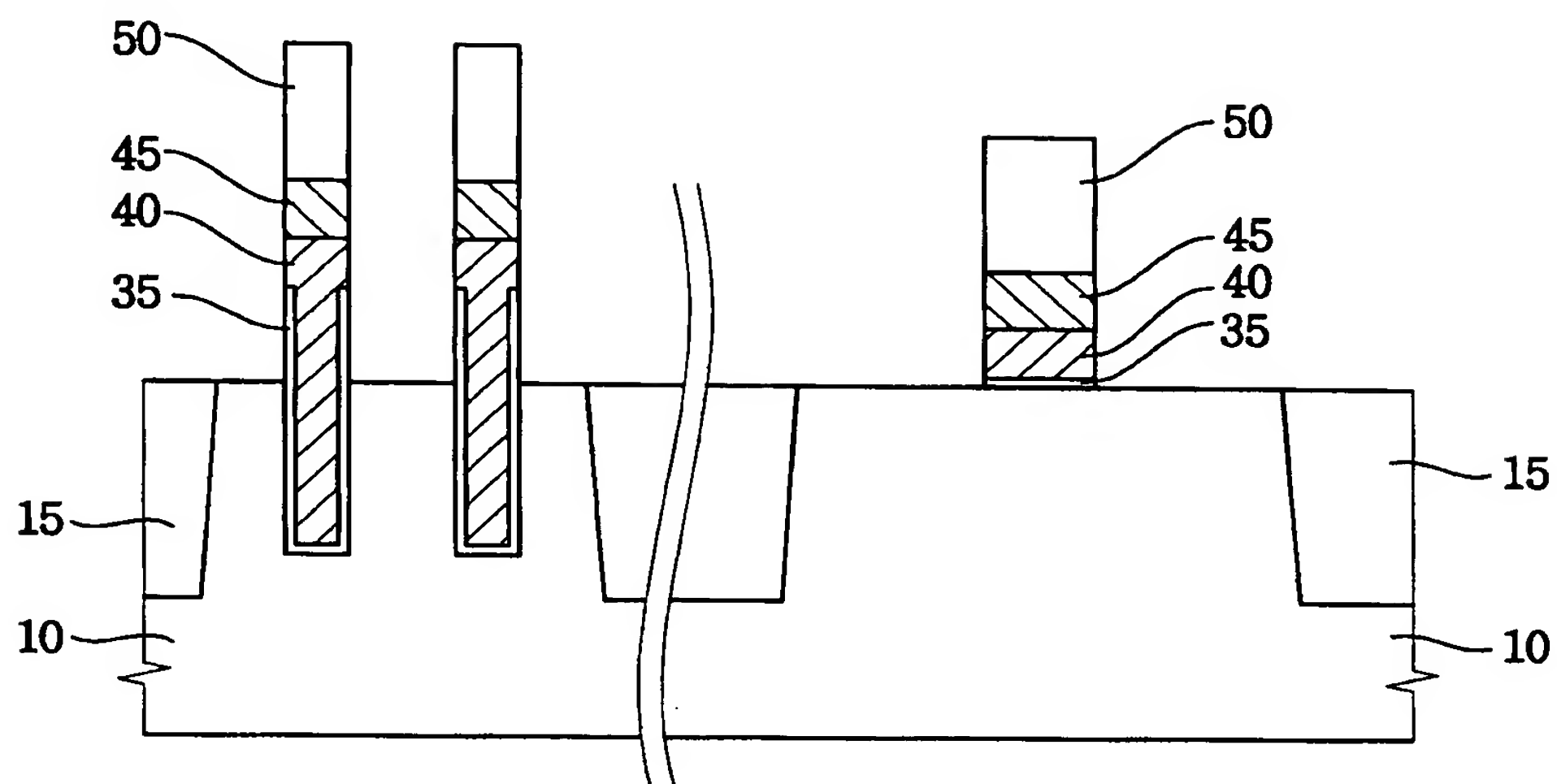
【도 4】



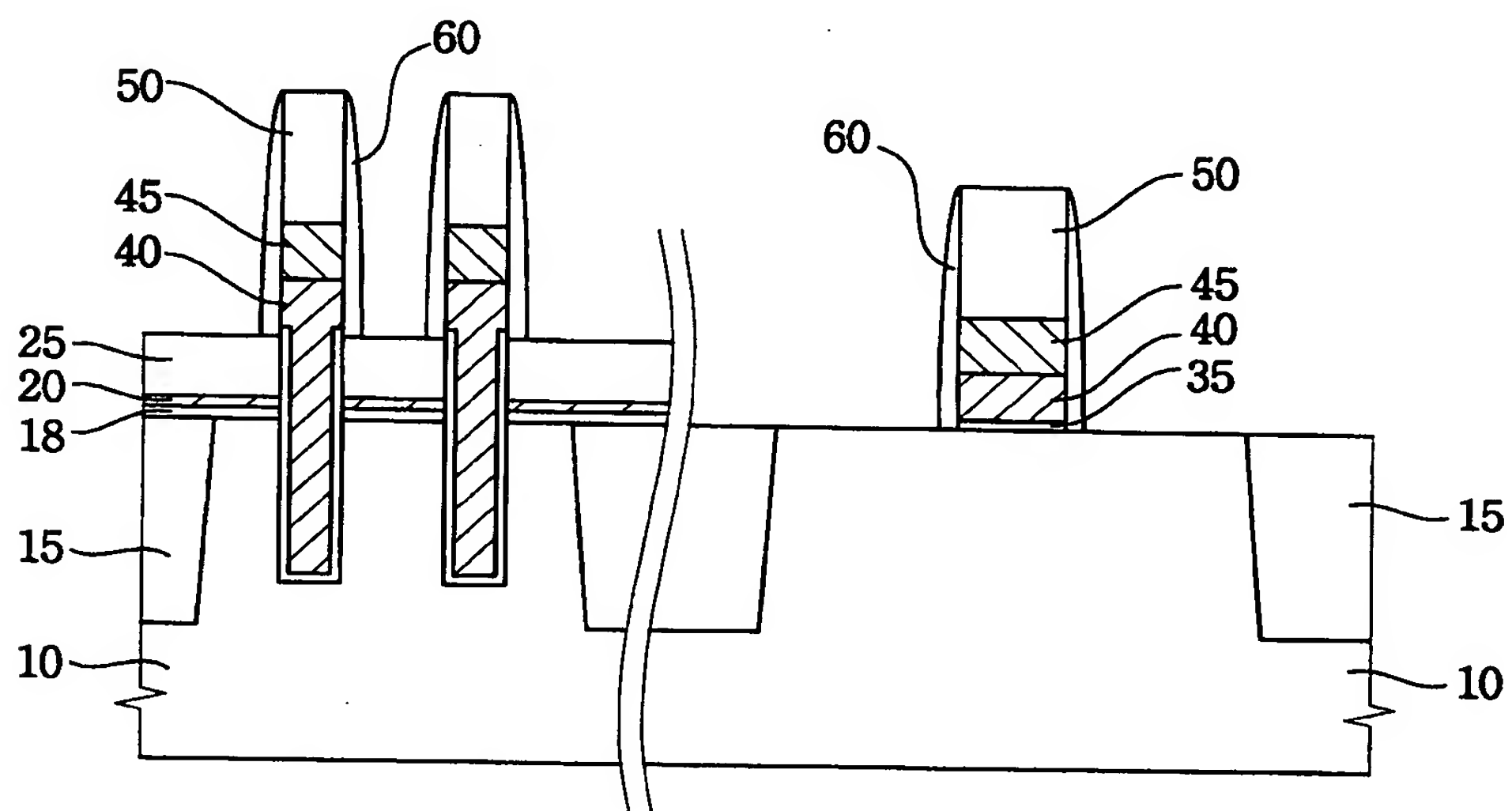
【도 5a】



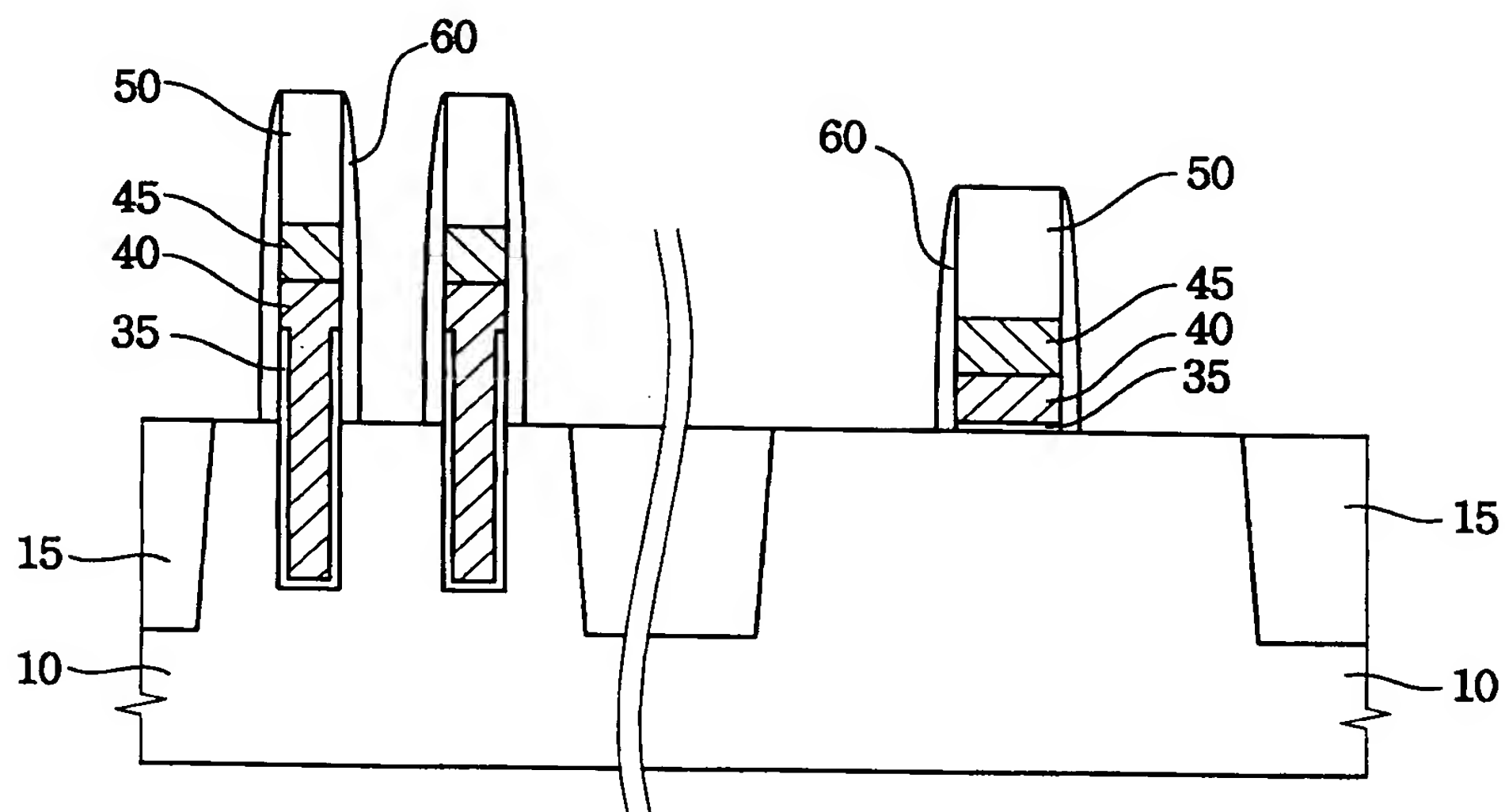
【도 5b】



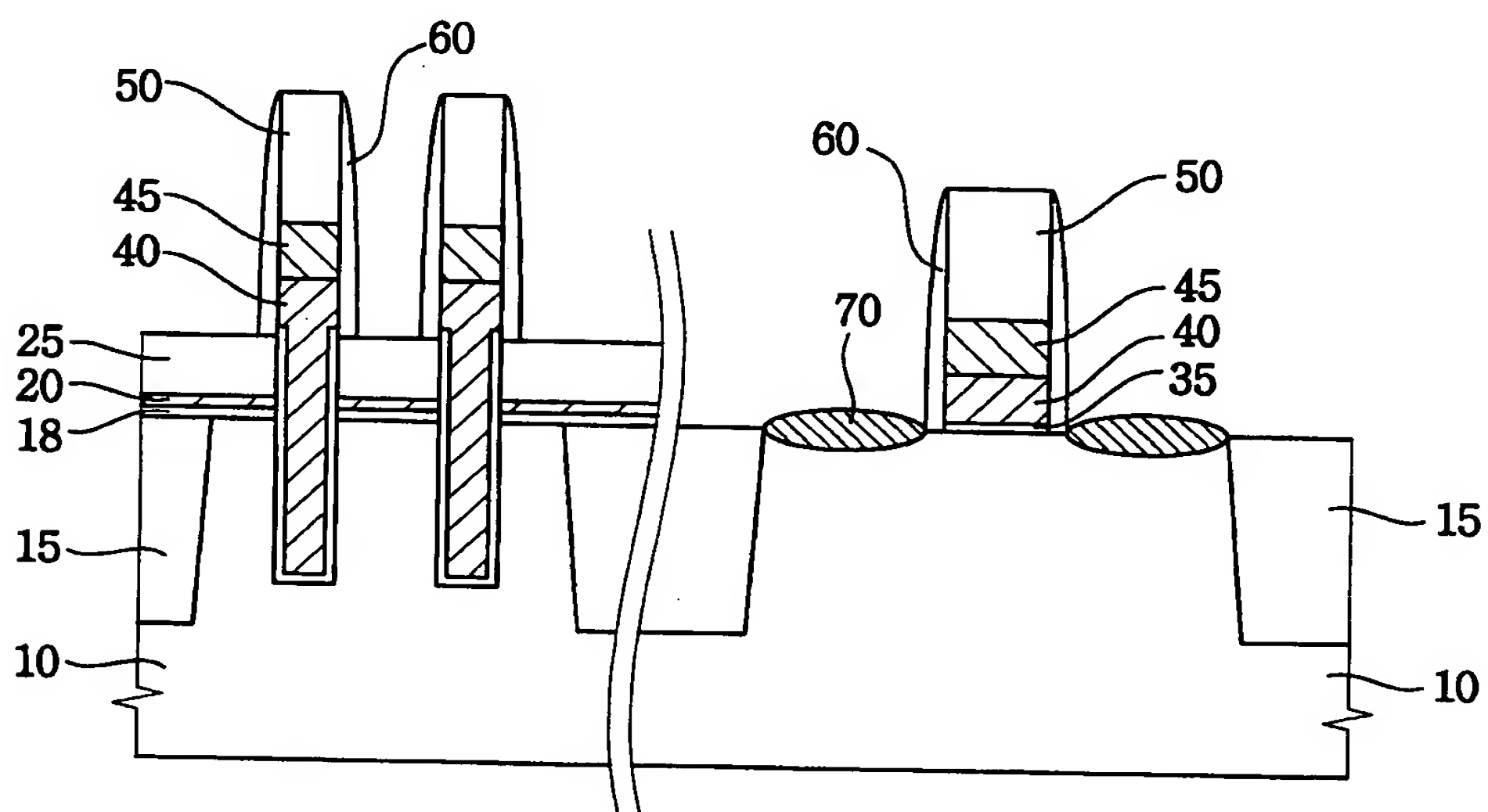
【도 6a】



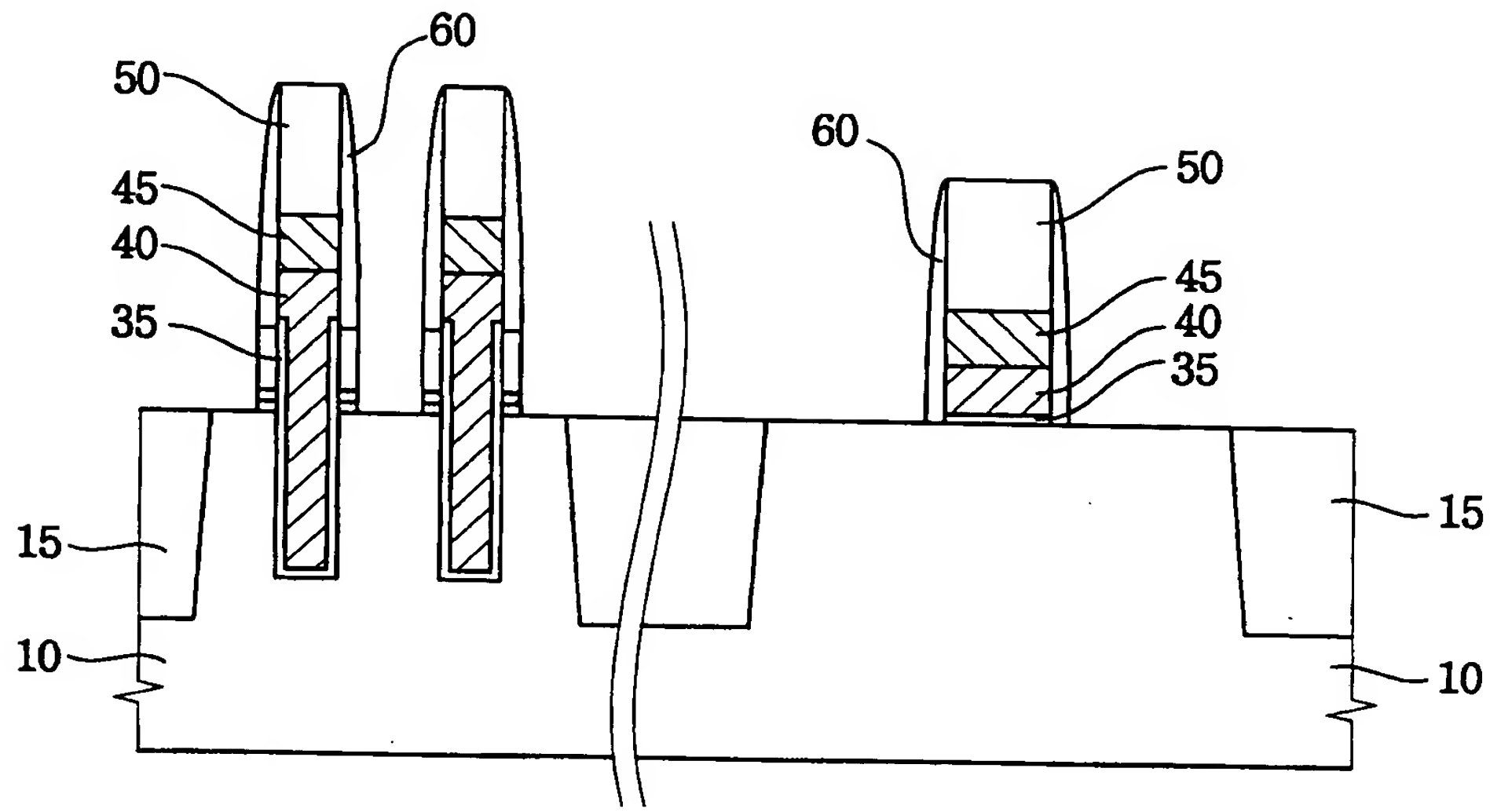
【도 6b】



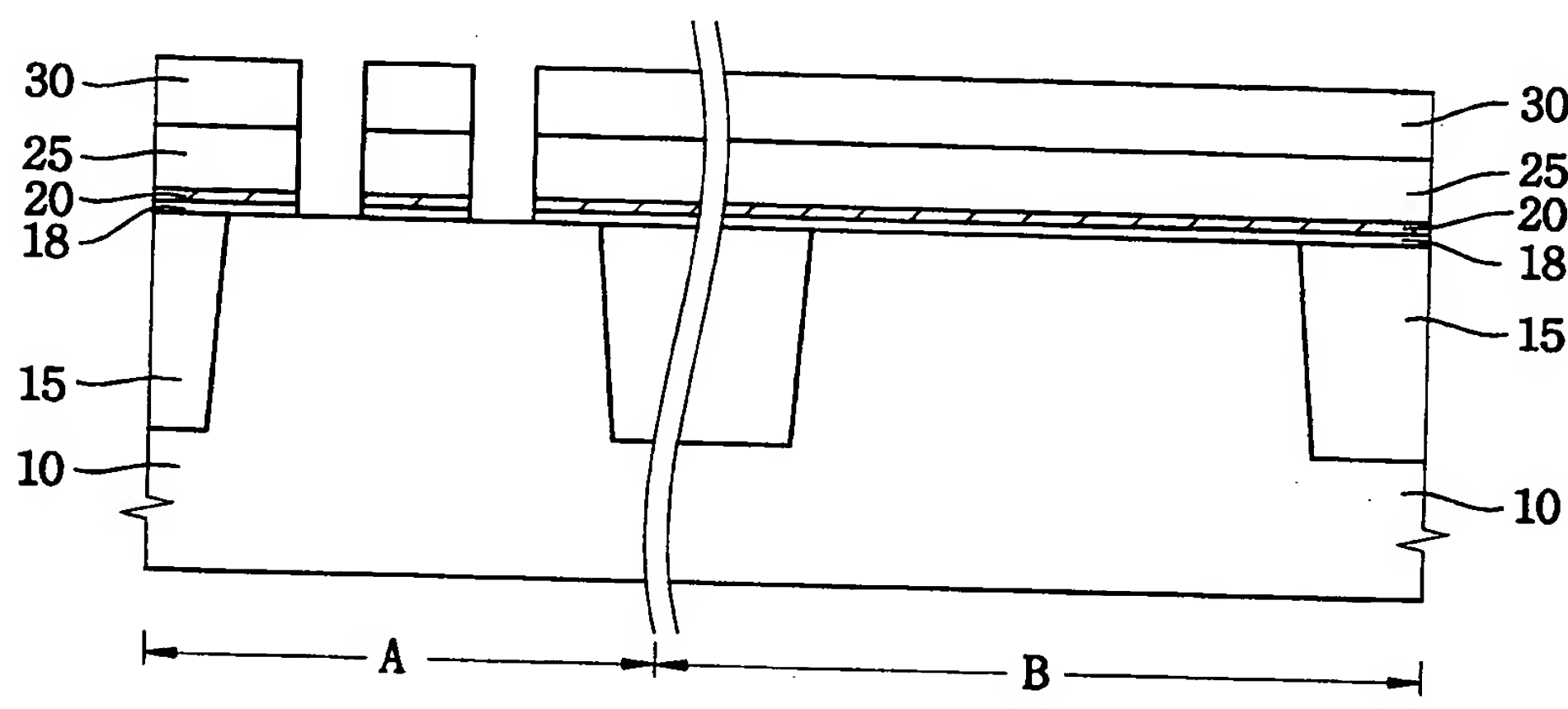
【도 7a】



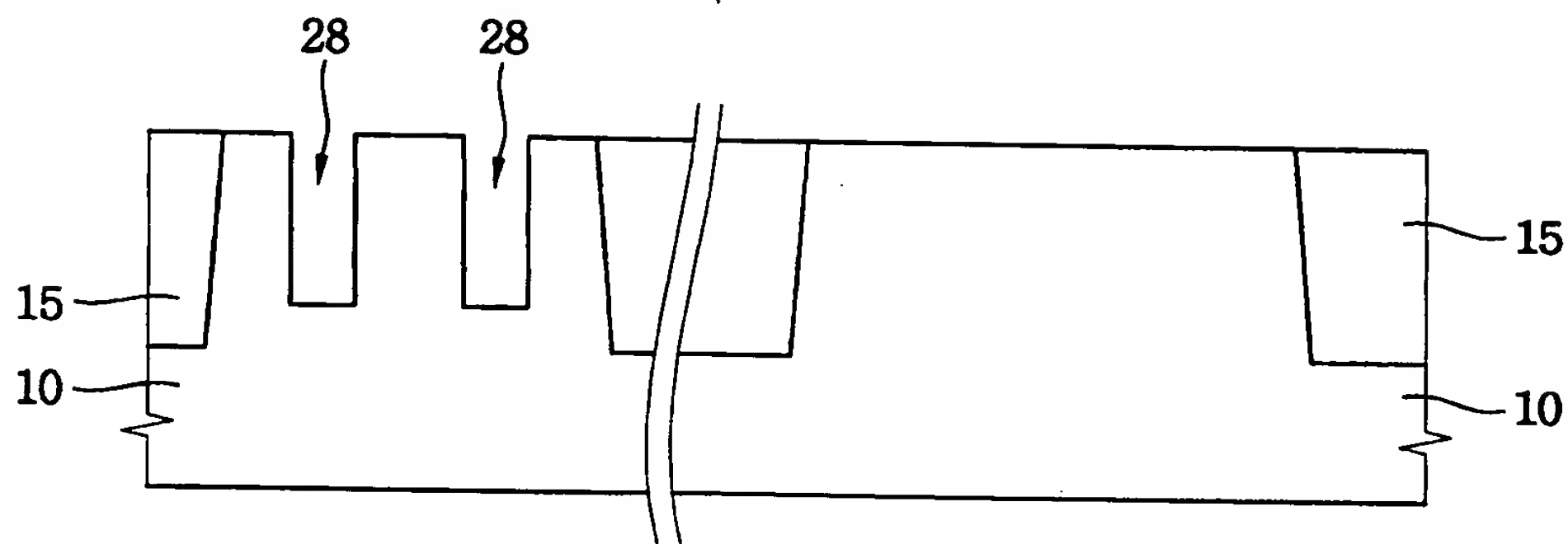
【도 7b】



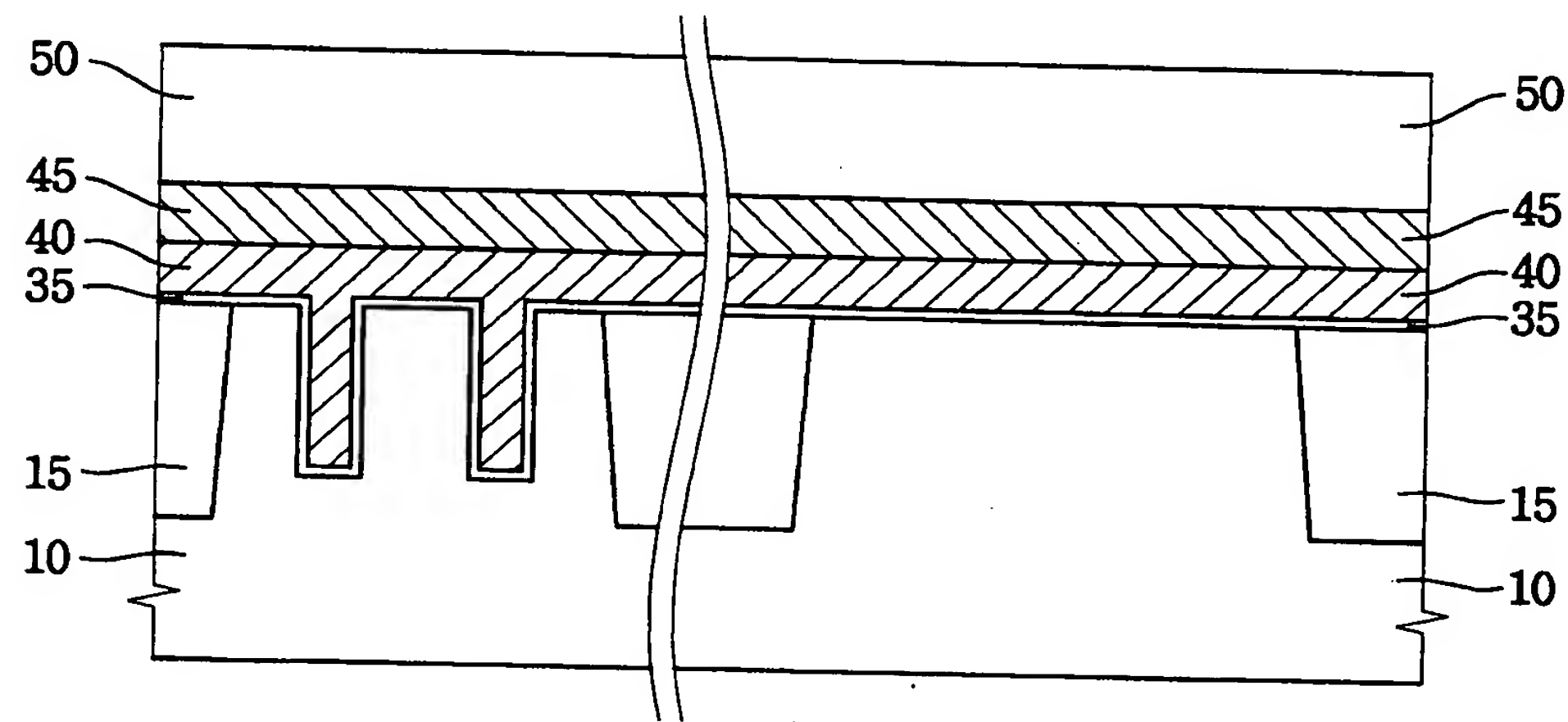
【도 8】



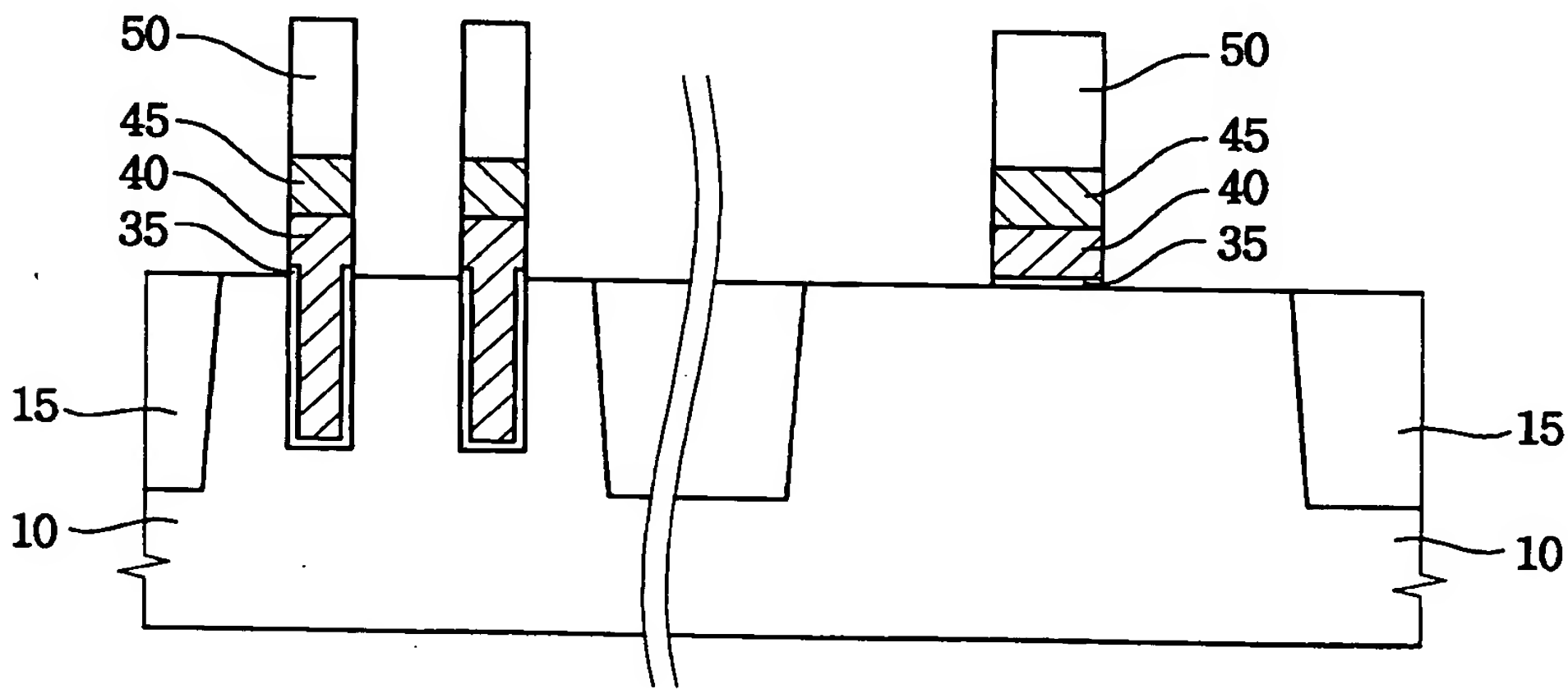
【도 9】



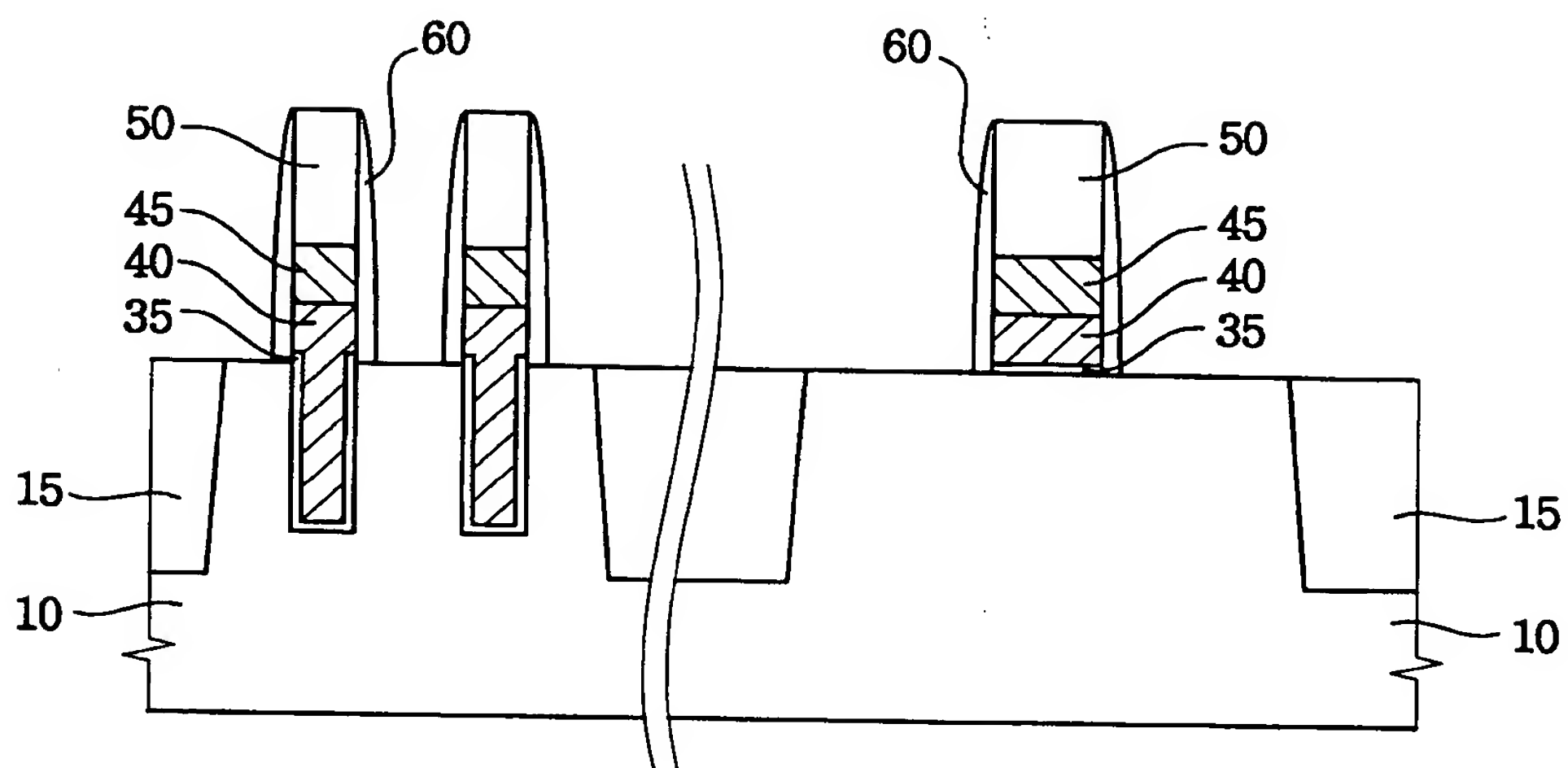
【도 10】



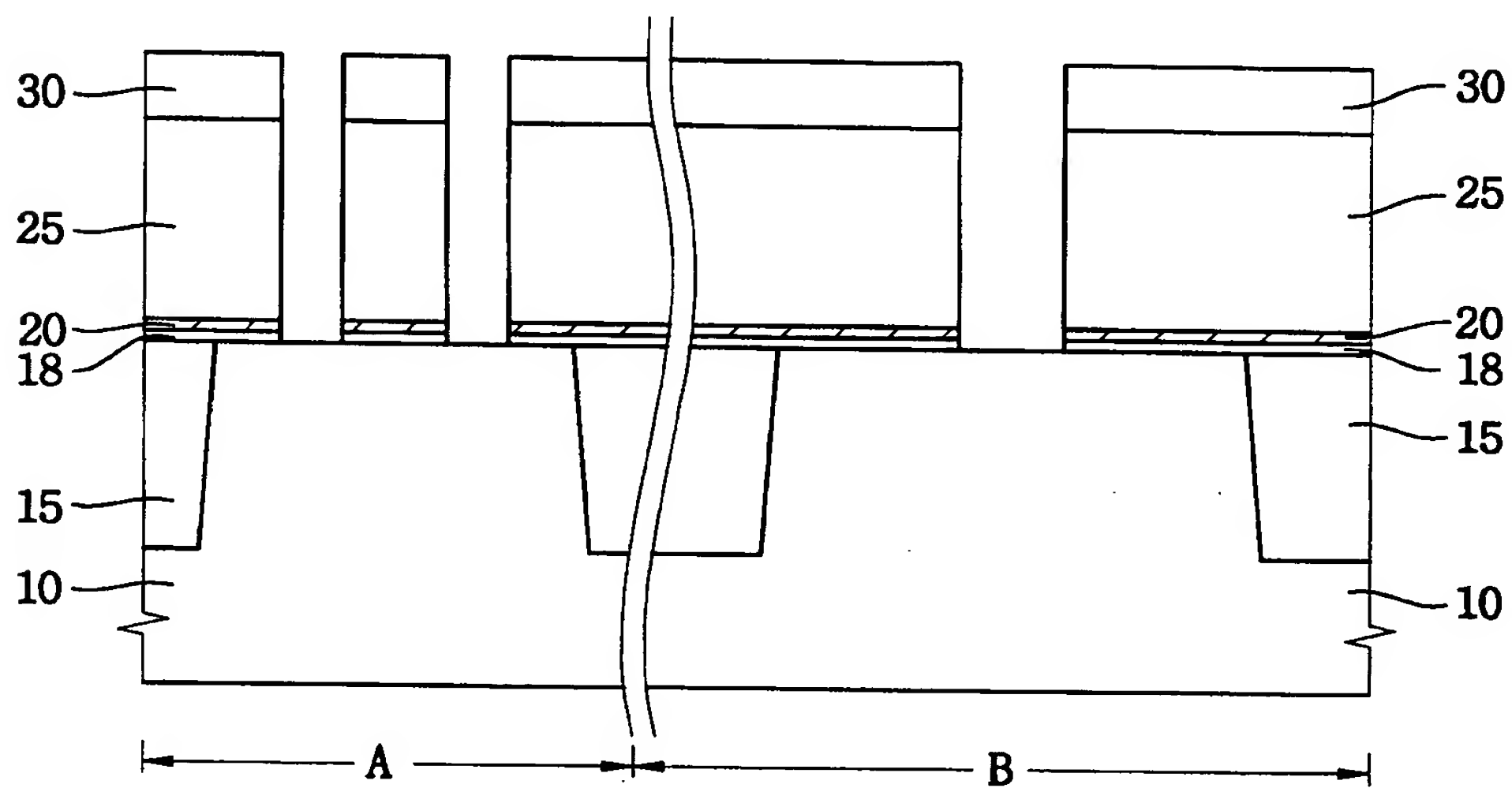
【도 11】



【도 12】

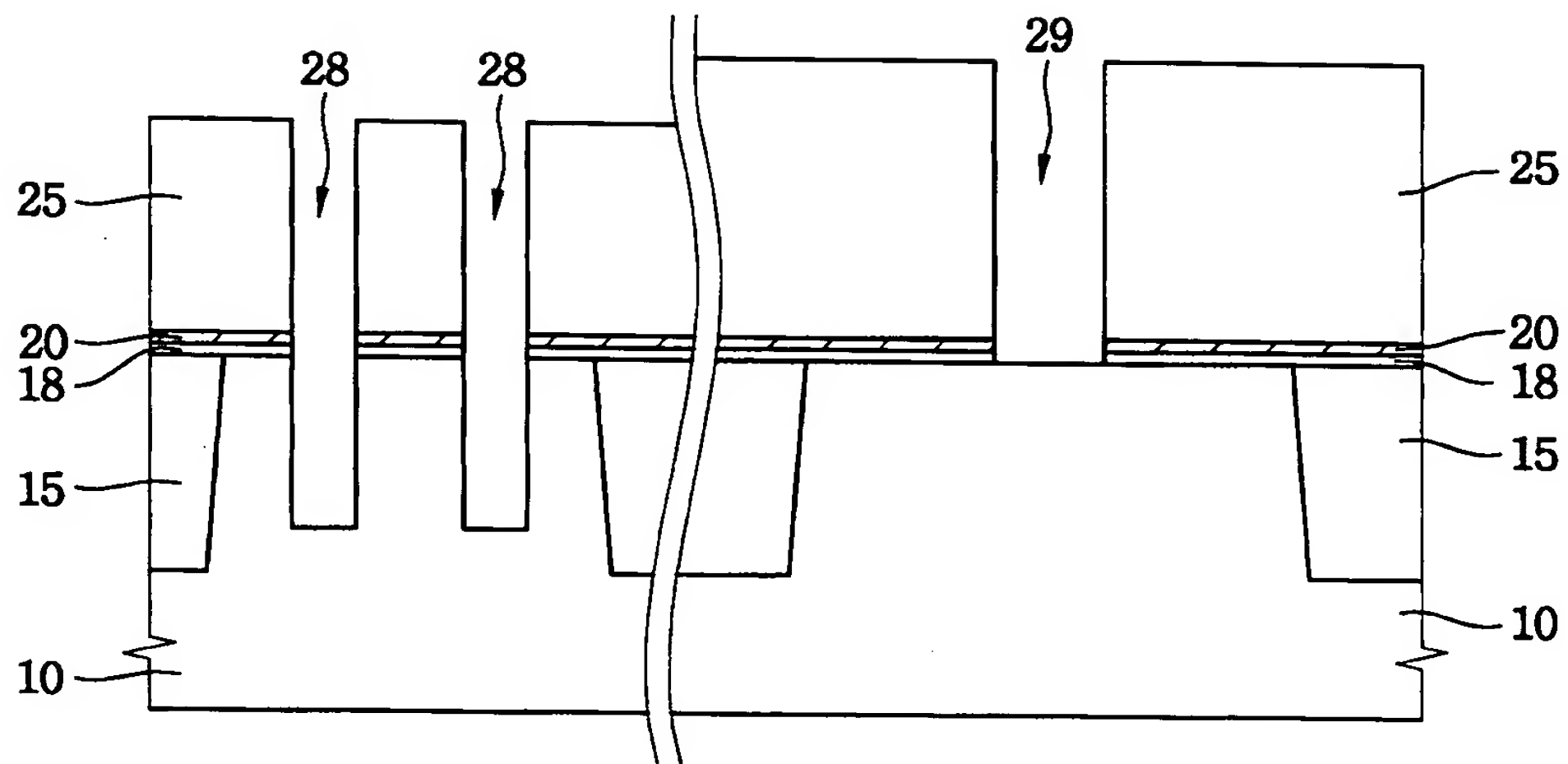


【도 13】

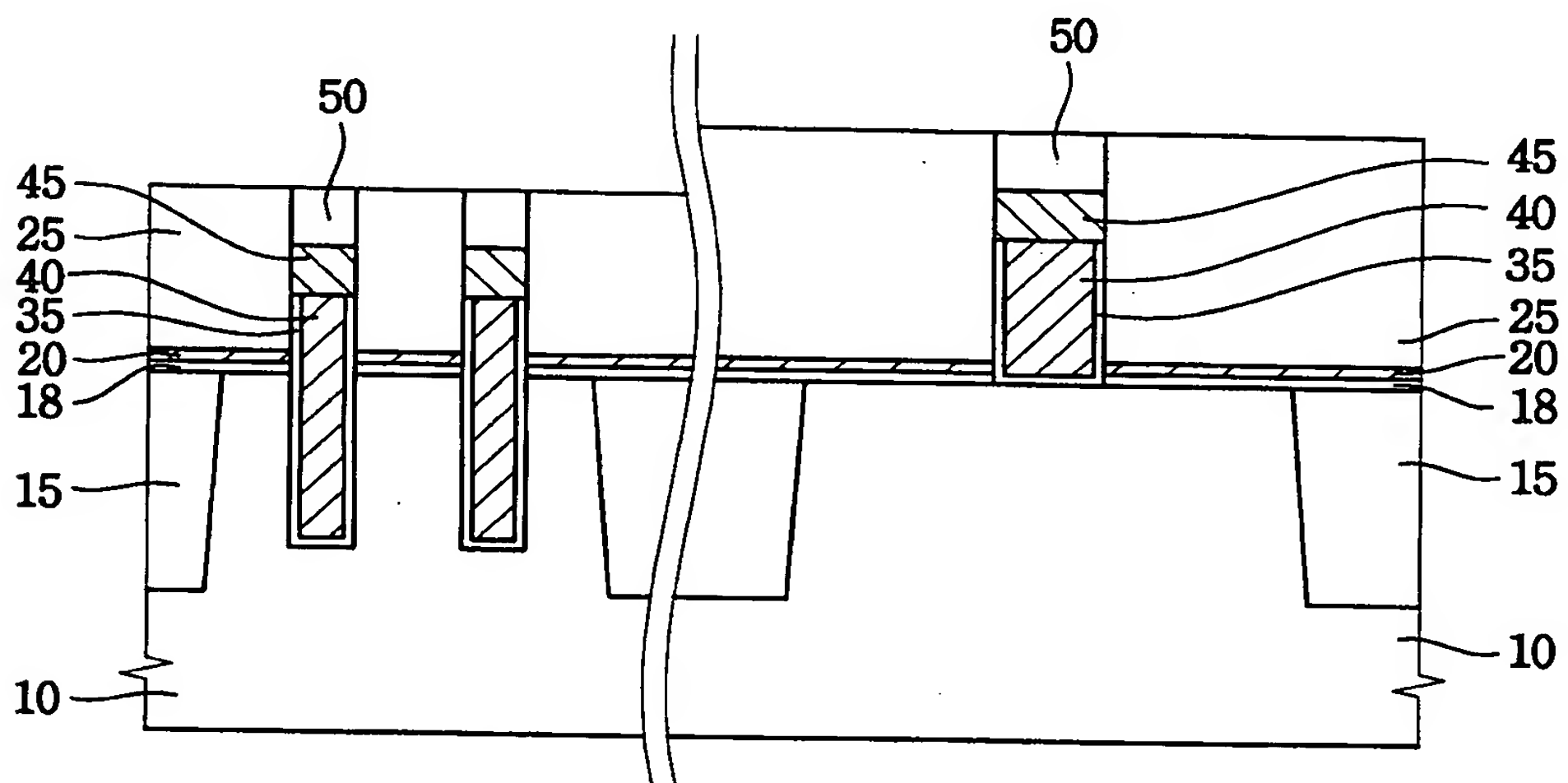




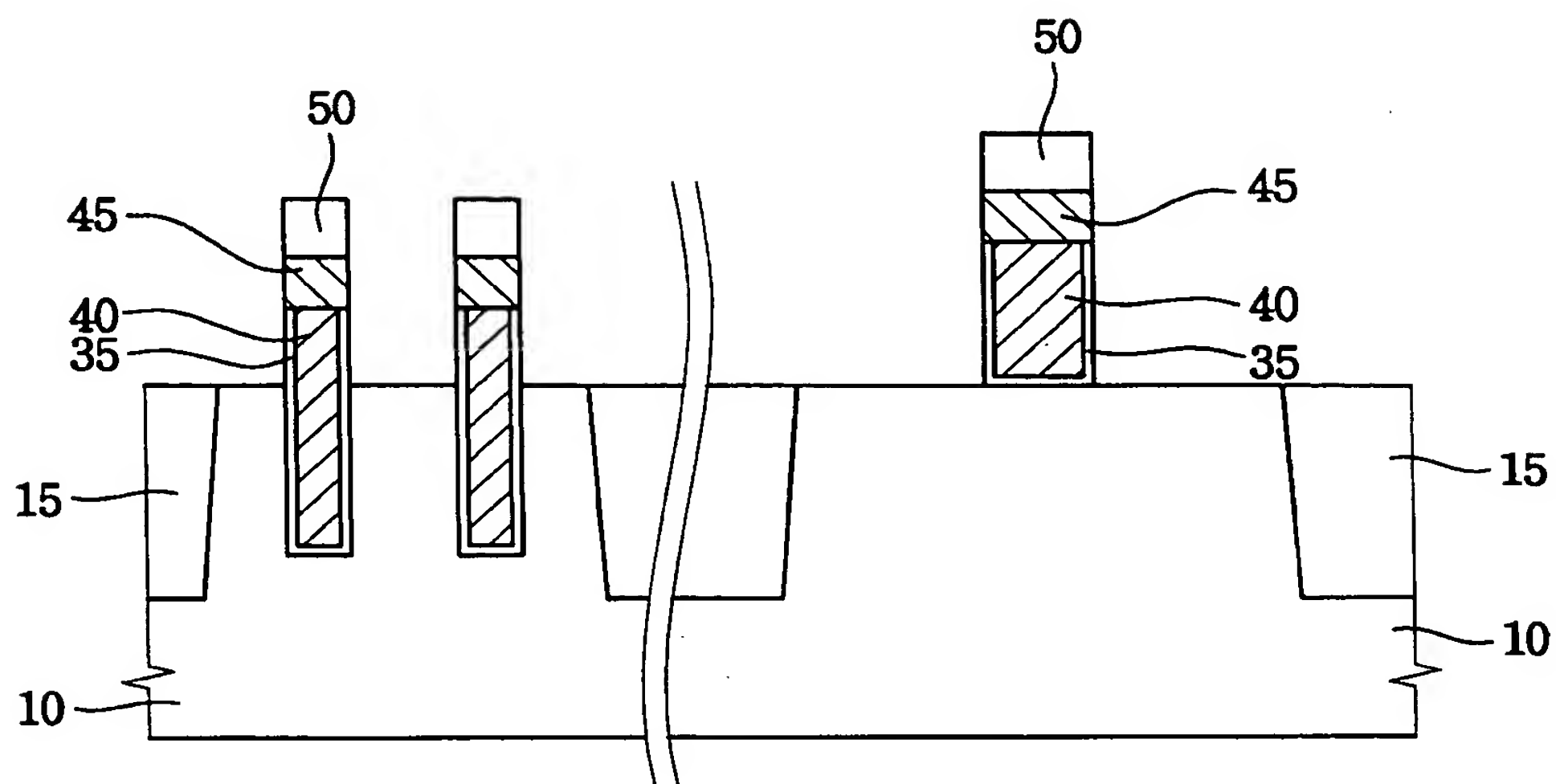
【도 14】



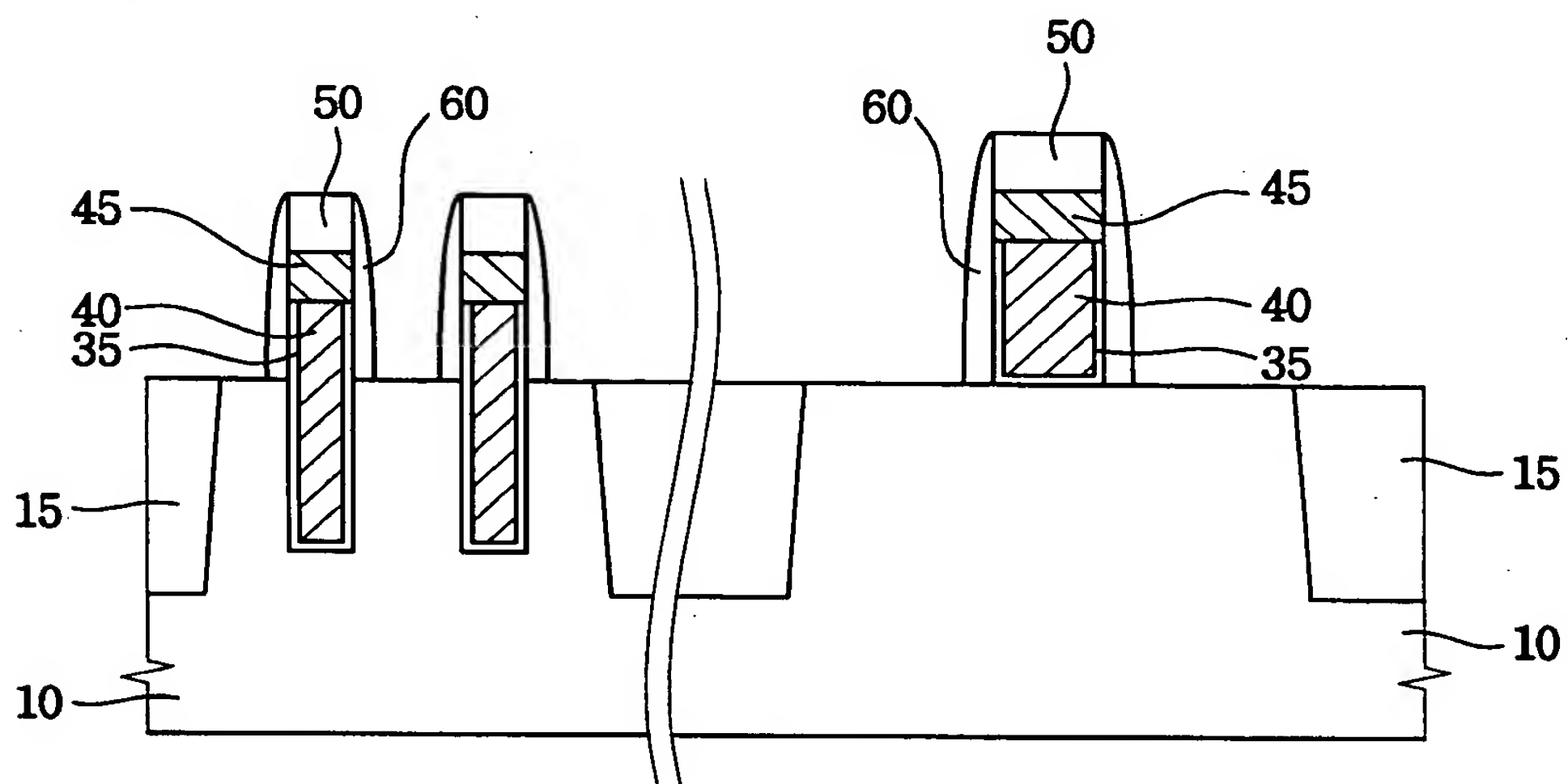
【도 15】



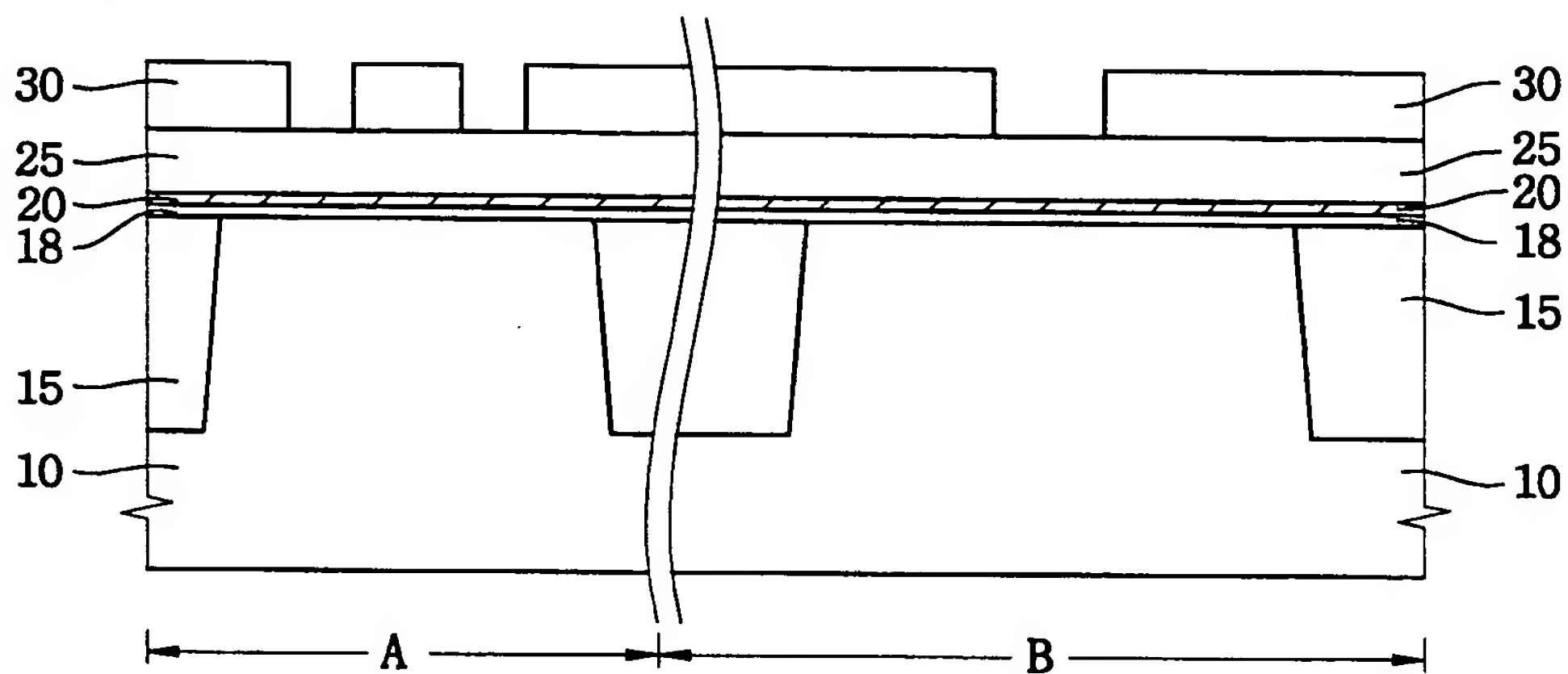
【도 16】



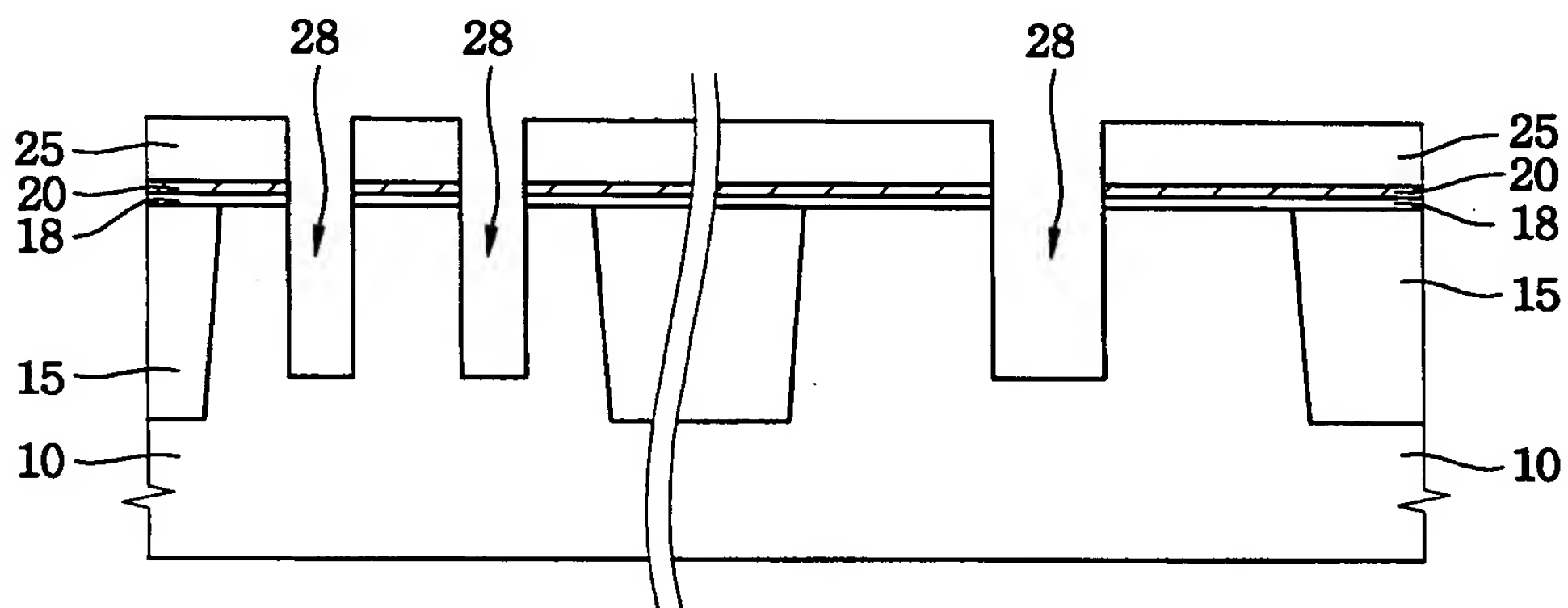
【도 17】



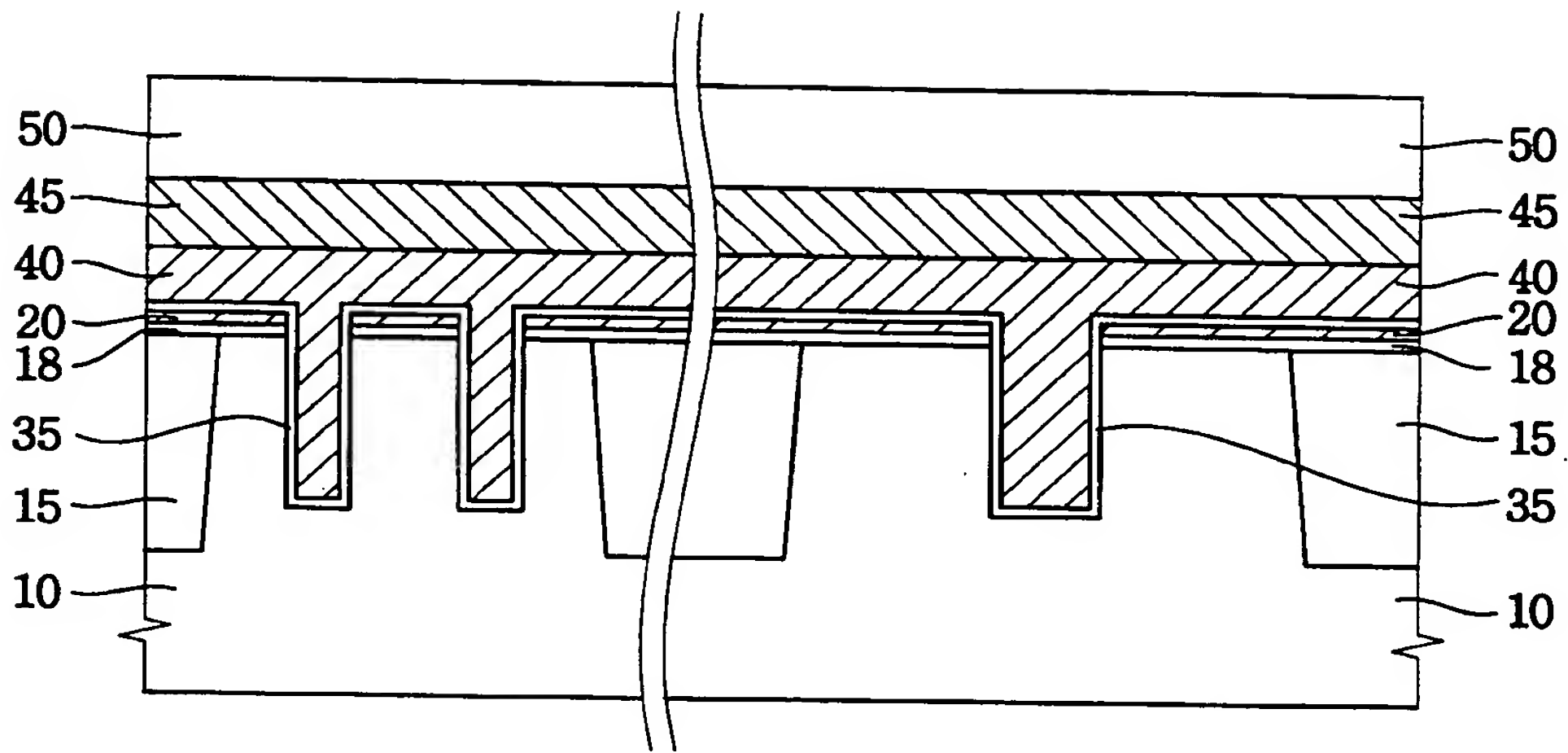
【도 18】



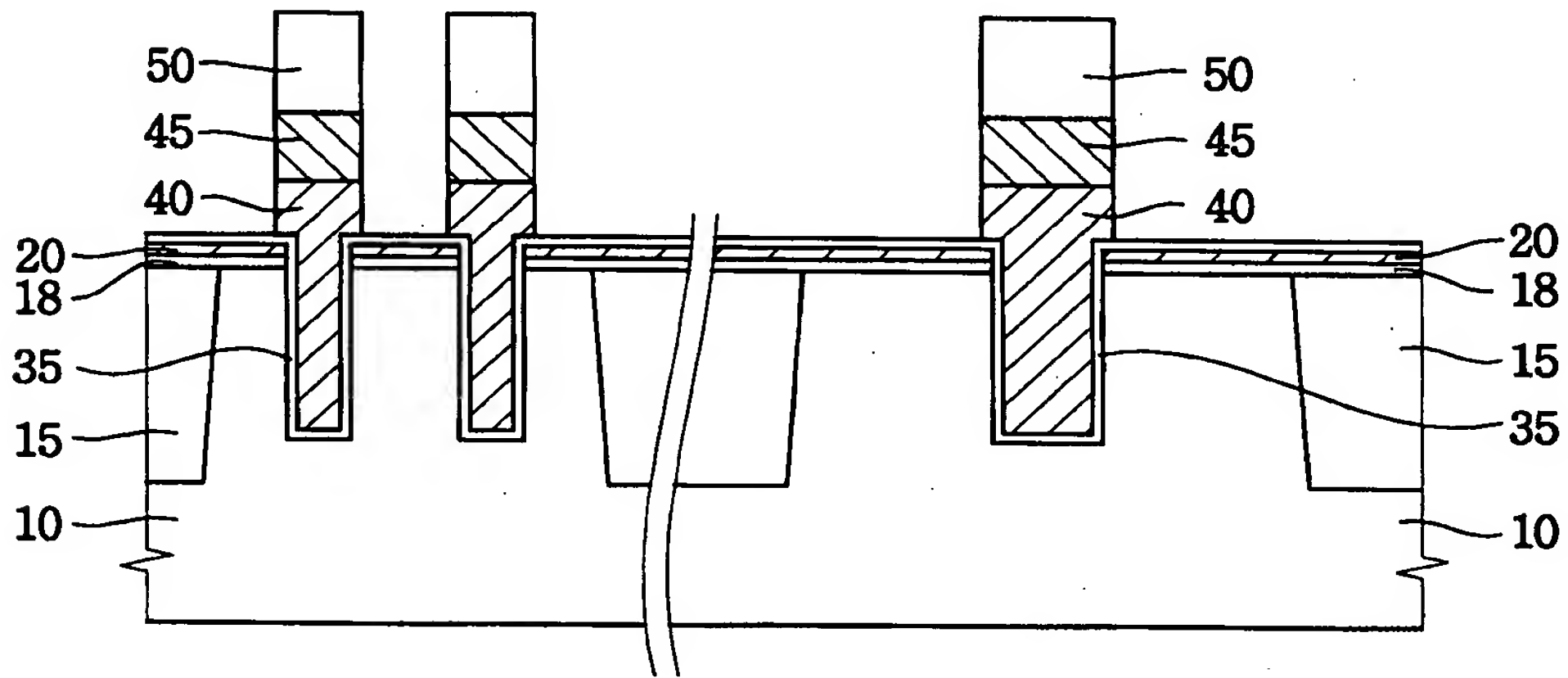
【도 19】



【도 20】



【도 21】



【도 22】

